

Curriculum Vitae

MICHELA GRECO, michela.greco@unito.it

Educazione

Dottorato di Ricerca in Fisica nel 2000 (Università degli Studi di Torino)

Laurea in Fisica nel 1996 (110 lode e menzione onorevole, Università degli Studi di Torino)

Corso di perfezionamento post-laurea “1999 EPSRC Theory of condensed Matter Summer School, Coleg Harlech (UK)”, organizzata dalla School of Physics and Astronomy di Birmingham, sotto la supervisione del Prof. J. M. F. Gunn.

Altri titoli

ECPE (Examination for the Certificate of Proficiency in English), Livello C2

Abilitazione all'insegnamento nelle scuole secondarie superiori classi 38/A “Fisica”, 47/A “Matematica” e 49/A “Matematica e Fisica” a seguito del concorso ordinario indetto con DDPG 31/03/1999 (12esima nella graduatoria regione Piemonte).

Posizioni Ricoperte

Professore Associato confermato, presso il Dip. Di Fisica, Università degli Studi di Torino, GSD: 02/PHYS-01 -SSD: PHYS-01/A - Fisica sperimentale delle interazioni fondamentali e applicazioni, dal 1° novembre 2014.

Ricercatore Universitario dal 2 ottobre 2006 presso il Dip. di Fisica, Università degli Studi di Torino, SSD FIS/01, confermato il 18/2/2010 con DD n°716 fino al 31 ottobre 2014.

Dipendente dell'Istituto Nazionale di Fisica Nucleare presso la sezione di Genova con contratti a tempo determinato (ai sensi dell'art.23, D.P.R. 12/271991, n.171), dal 2-10-2000 al 1-10-2004, dal 25-10-2004 al 24-10-2005, dal 14-11-2005 al 30 settembre 2006

1

Principali Responsabilità Accademiche:

- | | |
|-----------|---|
| 2021-oggi | Vice-Coordinatrice del Dottorato di Ricerca in Fisica, Scuola di Dottorato dell'Università di Torino. |
| 2007-oggi | Membro del Collegio Docenti, Dottorato di Ricerca in Fisica, Scuola di Dottorato dell'Università di Torino; dal 2023 membro della Commissione Monitoraggio e Riesame del Dottorato di Ricerca in Fisica. |
| 2006-oggi | Membro delle Commissioni del Dipartimento di Fisica:
Didattica, Laboratori, Ricerca, Mobilità Internazionale, Stages e Job placement, Trasferimento Tecnologico |
| 2006-oggi | Referente per il sistema Accertamento Qualità del Corso di Laurea in Ottica e Optometria e dal 2020 delegata del Presidente del Corso di Studi;
Membro della Commissione Monitoraggio e Riesame del Corso di Laurea in Ottica e Optometria dal 2020 e responsabile del sistema di autovalutazione e accreditamento (AVA3) per il Corso di Laurea in Ottica e Optometria; |
| 2006-2011 | Membro della Giunta Esecutiva del Dipartimento di Fisica |

Titolare Insegnamenti nei SSD FIS/01 e affini come di seguito elencato:

- | | |
|-----------|--|
| 2014-oggi | Laboratorio di Elettronica Avanzata, Laurea Magistrale in Fisica |
| 2012-oggi | Elettronica Digitale, Laurea Magistrale in Fisica |
| 2008-oggi | Materiali per l'Ottica, Laurea Triennale in Ottica e Optometria |
| 2013-2018 | Elettronica, Laurea Magistrale in Scienze Strategiche |

2008-2012	Laboratorio di Struttura della Materia, Laurea in Fisica
2009-2010	Fisica per i beni culturali, Laurea in Scienze e Tecnologie dei Beni Culturali
2006-2009	Esperimentazioni di Fisica Generale I, Laurea in Ottica e Optometria
2006-2009	Fisica dello Stato Solido, Laurea in Scienze e Tecnologie dei Beni Culturali

Relatrice di tre tesi di Dottorato di Ricerca in Fisica, 16 tesi di Laurea Magistrale in Fisica, 142 tesi di laurea (16 in Fisica, 126 in Ottica e Optometria).

Contro-relatrice di 20 tesi di Laurea Magistrale in Fisica e 4 tesi di Dottorato di Ricerca in Ingegneria Elettronica.

Responsabile accademica di oltre 100 tirocini curriculari e 20 extra-curriculari (post-laurea) per il Corso di Laurea in Ottica e Optometria (classe L30)

Attività di Ricerca

Il principale campo di ricerca di Michela Greco è la fisica delle interazioni fondamentali negli esperimenti con acceleratori di particelle. Ha partecipato agli esperimenti CMS (Compact Muon Solenoid, CERN-Svizzera) e PANDA (antiProton ANnihilation at DArmstadt, GSI-Germania). Ora è membro delle collaborazioni internazionali BESIII (Beijing Spectrometer, Istituto di Fisica delle Alte Energie di Pechino, Cina), BELLEII (Tsukuba, Giappone), DRD1 (Ricerca e Sviluppo di Rivelatori a gas innovativi, CERN, Svizzera), RD-FCC (Ricerca e Sviluppo-Future Circular Collider, CERN, Svizzera) con differenti responsabilità e ruoli di coordinamento.

Dal 2021 al 2024 è stata Responsabile Nazionale dell'esperimento BESIII per la Commissione Scientifica Nazionale 1 dell'Istituto Nazionale di Fisica Nucleare. Attualmente è Responsabile Nazionale dell'esperimento SPECTRE - INFN CSN5.

In particolare, MG si occupa principalmente della ricerca e dello sviluppo di tecnologie avanzate, sistemi di lettura dei rivelatori di particelle ed elaborazione digitale dei segnali. E' anche coinvolta in attività di Terza Missione per il trasferimento alla società delle conoscenze acquisite nella ricerca scientifica.

2

Collaborazioni

2024-oggi	SPECTRE (SPECT- Readout Electronics), INFN CSN5, Italia
2023-oggi	DRD1 (WP1 Large area muon system, inner tracking and vertexing/WP7 Timing Detectors), CERN-Svizzera
2022-oggi	RD-FCC, CERN-Svizzera
2015-oggi	BELLE2 , Tsukuba, Giappone
2008-oggi	BESIII, IHEP-Pechino e INFN CSN1, Italia
2006-2016	PANDA, GSI, Darmstadt
2000-2007	CMS, CERN-Svizzera

Organizzazione, Coordinamento, Direzione Di Gruppi Di Ricerca:

2024-oggi	Responsabile Locale del progetto dell'Università di Torino "Optometria di genere"
2024-oggi	Responsabile Locale dell'esperimento BESIII INFN CSN1
2024-oggi	Responsabile Nazionale dell'esperimento SPECTRE, INFN CSN5
2023-oggi	Referente per la sezione di Torino della Collaborazione DRD1-CERN
2020-oggi	Coordinatrice delle attività di Elettronica del progetto europeo FEST, H2020-MSCA-RISE-2019
2016-oggi	BESIII Coordinator of CGEM-IT Electronics
2021-2024	Responsabile Nazionale dell'esperimento BESIII, INFN CSN1
2019-2022	Responsabile Locale del progetto dell'Università di Torino "Caratterizzazione di

	Materiali per l'Ottica"
2022-2024	Responsabile Locale dell'esperimento MicroRWELL -INFN CSN5
2020-2022	Responsabile Locale dell'esperimento TRICK-INFN CSN5
2016-2017	Responsabile Locale del progetto dell'Università di Torino "Digital imaging per la biometria oculare "
2011-2015	Responsabile Locale dell'esperimento PANDA_MU -INFN CSN3
2011-2016	Membro del Collaboration Board dell'esperimento PANDA-GSI, Germania
2009-2015	Membro del Publication Board dell'esperimento PANDA-GSI, Germania
2009-2012	Associazione all'Istituto Nazionale di ricerca Metrologica (INRiM)
2009	Spokesperson dell'esperimento ADAPTIVE, INFN-LNS
2006	Responsabile dell'assemblaggio dei sensori sulla massa fredda durante il commissioning del solenoide CMS al CERN (INFN-Genova)
2000-2006	Membro del gruppo di lavoro sull'avvolgimento dell'esperimento CMS per il trasferimento tecnologico (INFN-Genova, Ansaldo Superconduttori SpA)

Terza Missione

2020-2023	Responsabile Locale del progetto "What next? Il futuro spiegato dai giovani"-Call "Physics Involving People "INFN CC3M
-----------	--

Partecipazione a iniziative di divulgazione scientifica presso il Festival della Scienza di Genova, Scuole secondarie di secondo grado del Piemonte, Notte Europea dei Ricercatori.

Premi

Premio Turinetti di Priero Simonis", assegnato dall'Università di Torino per la miglior tesi di Laurea in Fisica (A.A. 1995/96)

Premio Optime", nell'anno 1996-97, conferito dall'Unione Industriale di Torino in collaborazione con l'Università degli Studi di Torino e il Politecnico di Torino per la miglior tesi di Laurea in Fisica (A.A. 1995/96).

Premio Seconda Migliore Comunicazione, Sezione: Biofisica e fisica medica XCVI Congresso Nazionale della Società Italiana di Fisica, 2010, per il contributo "Studio della bagnabilità di materiali per applicazioni oftalmiche"

Responsabilità SCIENTIFICA/AMMINISTRATIVA di progetti di ricerca internazionali e nazionali, ammessi al finanziamento sulla base di bandi competitivi che prevedano la revisione tra pari

- GREM_CRT_24_01 Michela Greco è responsabile scientifico e amministrativo di un contributo di 30keuro per ricerca scientifica e tecnologica di base sulla base dell'esito del bando competitivo 2024 della Fondazione Cassa di Risparmio di Torino
- Progetto Europeo H2020-MSCA-RISE-2019, FEST: Deputy scientific referent (Electronics)
- Progetto Europeo H2020-MSCA-RISE-2019, FEST: Deputy Operational Referent (electronics)

Partecipazione a progetti di ricerca internazionali e nazionali, ammessi al finanziamento sulla base di bandi competitivi che prevedano la revisione tra pari

- H2020-MSCA-RISE-2014, BESIIICGEM
- Strategic Research Grant, Progetti d'Ateneo 2012, UniTO (3-D nucleon)
- EU-FP7 HadronPhysics2, WP3 (FairNet)

- EU-FP7 HadronPhysics3, WP3 (FairNet)
- EU-FP7 HadronPhysics2, WP3 (ENCStudy)
- EU-FP6 Structuring the European Research Area program: NED WGCC

Comitati Editoriali

Editorial Board Member per la rivista Scientific Reports, Nature

<https://www.nature.com/srep/about/editors>

Technical Editor:

ASC14, Large Scale, IEEE Trans Applied Superconductivity

MT23, Large Scale, IEEE Trans Applied Superconductivity

ASC12, Large Scale, IEEE Trans Applied Superconductivity

MT22, Large Scale, IEEE Trans Applied Superconductivity

ASC10, Large Scale, IEEE Trans Applied Superconductivity

MT20, Large Scale, IEEE Trans Applied Superconductivity

ASC06, Tests and measurements, IEEE Trans Applied Superconductivity

Referee delle riviste:

JINST, NIMA, Radiation Physics and Chemistry, Supercond. Sci. Technol, IEEE Transactions on Applied Superconductivity

Partecipazione a Comitati Organizzatori Locali

2013 International Workshop on Real time, self-triggered front end electronics for multichannel detectors, Torino

2013 PANDA FEE/DAQ Workshop, Alba (Cn)

2012 PANDA-Computing Workshop, Torino

2009 XXIX PANDA Collaboration Meeting, Torino

2009 PANDA-DAQT Workshop, Torino

2005 MT19, 19th International Conference on Magnet Technology, Genova.

Membro delle Commissioni di Concorso

INFN TD/LNL/C6/26705

INFN 24296/2022

INFN 22985/2021

INFN 21229/2019

INFN 20313/2018

INFN 18786/2017

INFN 18585/2017

Univ. Pisa-2022 Concorso per RTD-A

Univ. Federico II Napoli-2021, Concorso per RTD-A

Univ. Genova-2019, Concorso Dottorato di Ricerca in Fisica

Univ. Torino-2018, Concorso Dottorato di Ricerca in Fisica

Università Roma Tor Vergata, Reprise Project

PARAMETRI BIBLIOMETRICI (Da Scopus –Gennaio 2025):

- più di 600 pubblicazioni in riviste internazionali peer-reviewed;
- più di 25000 citazioni;
- H-index: 61

- presentazioni a conferenze internazionali (>30) e nazionali (> 30) con talk su invito, talk in sessioni parallele e sessioni poster.

Si riporta il dettaglio delle ultime:

2025 Congresso Nazionale Società Italiana Fisica
Relazione su invito "Grandi Infrastrutture di Ricerca in Cina"-

2025 TWEPP Topical Workshop on Electronics for Particle Physics. Rethymno, Crete (Greece)
Relatrice-Oral contribution "Commissioning and operation of CGEM-IT readout chain", "System Design, Description and Operation"
07-10-2025

2024 IEEE Nuclear Science Symposium, Medical Imaging Conference and Room Temperature Semiconductor Detector Conference-TAMPA, Florida (USA)
Relatrice-Oral contribution "Commissioning of the CGEM Inner Tracker", Semiconductor and Geaseous Detectors
30 -10-2024
<https://nssmic.ieee.org/2024/>

DRD1-WP1 mini-Workshop-CERN
Relatrice-presentazione Task T3: Readout Electronics, "TIGER (Torino Integrated Gem Electronics for Readout)/ GEMROC (GEM Readout Cards) readout chain" a nome INFN-Torino/Ferrara
07-03-2024

INFN, Rome – IHEP, Beijing Bilateral
IHEP-INFN Annual Cooperative Meeting BAROLO (IT)
Relazione su invito
BESIII: progress report, performance and physics perspectives
<https://agenda.infn.it/event/36992/>
22-11-2023

2022 IEEE Nuclear Science Symposium, Medical Imaging Conference and Room-Temperature Semiconductor X-Ray & Gamma-Ray Detector Conference
Milano (IT)
Relatrice Oral contribution
"Test of the readout system of the CGEM detector", Semiconductor and Geaseous Detectors
9 novembre 2022
<https://nssmic.ieee.org/2022/>

2022 23rd Real-Time Conference, IEEE
Relatrice Oral contribution
"Test of the readout system of the CGEM detector", Semiconductor and Geaseous Detectors
2 agosto 2022
<https://indico.cern.ch/event/1109460/>

International Conference on Technology and Instrumentation in Particle Physics (TIPP2021)
Relatrice
Oral contribution "Preliminary results from the cosmic data taking of the BESIII cylindrical GEM

detectors"
27 maggio 2021
<https://tipp2021.triumf.ca/>

INFN, Rome – IHEP, Beijing Bilateral
IHEP-INFN Annual Cooperative Meeting ROME (IT)
Relazione su invito
BESIII: progress report, performance and physics perspectives
https://agenda.infn.it/event/32097/IHEP-INFN_2022
dal 14-07-2022 al 15-07-2022

TWEPP 2021 Topical Workshop on Electronics for Particle Physics
Relatrice Poster-Mini Oral
"A complete readout chain for the CGEM Inner Tracker"
<https://indico.cern.ch/e/twepp2021>
<https://indico.cern.ch/event/1019078/contributions/4444405/>

INFN, Rome – IHEP, Beijing Bilateral
IHEP-INFN Annual Cooperative Meeting ROME (IT)
Relazione su invito
BESIII: progress report, performance and physics perspectives
<https://indico.ihep.ac.cn/event/14841/>

Seminario su invito Sezione Roma I-INFN
Recent results from BESIII experiment: observation of the $Z_{cs}(3985)$ strange four-quark meson
14 giugno 2021
https://www.roma1.infn.it/en/seminari/seminari_INFNO/pdf/2021_Greco.pdf

5th International Conference on Micro-Pattern Gas Detectors (Philadelphia, USA)
Relatrice
Oral contribution "A custom readout electronics for the CGEM detector",
<https://indico.cern.ch/event/581417/>
23-05-2017

Segue elenco

1. BCLA 2017, *British Contact lens Association Clinical Conference and Exhibition*, Liverpool (GB), giugno 2017
2. IEEE-NSS 2014, Nuclear Science Symposium, Seattle (WA), novembre 2014
3. BCLA 2014, *British Contact lens Association Clinical Conference and Exhibition*, Birmingham (GB), giugno 2014
4. RT2012, *18th IEEE NPSS Real Time Conference*, Berkeley (CA), giugno 2012
5. IEEE-NSS 2011, Nuclear Science Symposium, Valencia (SP), ottobre 2011
6. RT2010, *17th Real Time International Conference*, Lisbon (PT), maggio 2010
7. EAOO 2010, *European Academy of Optometry and Optics*, Copenhagen (DM) maggio 2010
8. RT2009, *16th Real Time International Conference*, Pechino (CN), maggio 2009
9. ASC 2006, *Applied Superconductivity Conference*, Seattle, Washington (US), agosto 2006
10. WAMDO 2006, *Workshop on accelerator magnet design and optimization*, CERN, Switzerland,

aprile 2006

11. MT19, 19th *International Conference on Magnet Technology*, Genova (IT), settembre 2005
12. ASC 2004, *Applied Superconductivity Conference*, Jacksonville (US), ottobre 2004;
13. WAMS, *Workshop on Accelerator Magnet Superconductors*, Archamps (FR), marzo 2004
14. MT18, 18th *International Conference on Magnet Technology*, Morioka (JP), ottobre 2003;
15. ICMC 2003, *Topical Conference on Voltage-Current Relation*, Twente (NL), maggio 2003
16. ASC 2002, *Applied Superconductivity Conference*, Houston US), agosto 2002;
17. BOROMAG, *International Workshop on Superconductivity in Magnesium Diboride and Related Materials*, Genova (IT), giugno 2002;
18. MT17, 17th *International Conference on Magnet Technology*, Ginevra (CH), settembre 2001;
19. ASC 2000, *Applied Superconductivity Conference*, Norfolk (US), settembre 2000;
20. WSSM1, *First International Workshop on semiconducting and superconducting materials*, Torino (IT), febbraio 1999;
21. ASC 1998, *Applied Superconductivity Conference*, Palm Springs-California (US), settembre 1998;
22. ICEC17, 17th *International Cryogenic Engineering Conference*, Bournemouth (UK), luglio 1998;
23. LTD7, 7th *Low temperature Detectors*, Monaco di Baviera (DE), agosto 1997.

1. 42° Congresso dell'Albo degli Ottici Optometristi, Federottica, Colli del Tronto (2016)
2. XIX Congresso Annuale interdisciplinare, Istituto Zaccagnini, Firenze (2016)
3. CI Congresso Nazionale Società Italiana di Fisica, Roma (2015)
4. 41° Congresso dell'Albo degli Ottici Optometristi, Federottica, Firenze (2015)
5. X Congresso Nazionale SOPTI, Rimini (2015)
6. Convegno Nazionale SOPTI "Update In Optometria, Protezione E Prevenzione", Mestre (2014)
7. XCIX Congresso Nazionale Società Italiana di Fisica, Trieste (2013)
8. 39° Congresso dell'Albo degli Ottici Optometristi, Federottica, Bologna (2013)
9. XCVIII Congresso Nazionale Società Italiana di Fisica, Napoli (2012)
10. IX Congresso Nazionale SOPTI, Roma (2012)
11. 9° Convegno ASSOTTICA, Roma (2011)
12. XCVII Congresso Nazionale Società Italiana di Fisica, l'Aquila (2011)
13. XV Congresso Annuale interdisciplinare, Istituto Zaccagnini, Bologna (2011)
14. XCVI Congresso Nazionale Società Italiana di Fisica, Bologna (2010)
15. EUCORNEA 2010, Venezia (2010)
16. 36° Congresso dell'Albo degli Ottici Optometristi, Federottica, Rimini (2010)
17. Nuove Tecnologie per la visione umana, Vinci (2009)
18. XCV Congresso Nazionale Società Italiana di Fisica, Bari (2009)
19. 35° Congresso dell'Albo degli Ottici Optometristi, Federottica, Verona (2009)
20. 6° Convegno ASSOTTICA, Roma (2008)
21. XCIV Congresso Nazionale Società Italiana di Fisica, Genova (2008)
22. SATT13, *XIII Congresso Nazionale Superconduttività ad Alta temperatura di transizione*, Sestri Levante (2006)
23. SATT12, *XII Congresso Nazionale Superconduttività ad Alta temperatura di transizione*, Roma (2004)
24. SATT10, *X Congresso Nazionale Superconduttività ad Alta temperatura di transizione*, Frascati (2000)
25. LXXXV Congresso Nazionale Società Italiana di Fisica (SIF), Pavia (1999)
26. INFMeeting, *III Congresso nazionale di Fisica della Materia*, Catania (1999);
27. LXXXIV Congresso Nazionale Società Italiana di Fisica (SIF), Salerno(1998);

28. SATT9, *IX Congresso Nazionale Superconduttività ad Alta Temperatura di Transizione*, Ravenna (1998);
29. INFMeeting, *Il Congresso nazionale di Fisica della Materia*, Rimini (1998).

Curriculum vitae dr. Giulio Dellacasa

Ultimo aggiornamento Ottobre 2025

Informazioni personali

Nome e Cognome:	Giulio Dellacasa
Posizione professionale:	Tecnologo presso INFN-Torino, Laboratorio di Elettronica gdellaca@to.infn.it
e-mail:	
Attività attuale:	Progettazione di circuiti analogici e digitali per la lettura di rivelatori di particelle, con particolare riferimento ai circuiti digitali e all'integrazione e verifica funzionale di ASIC complessi mixed signal. Sviluppo di sistemi di DAQ mediante FPGA.

Titoli di studio

- 2010: Dottorato di Ricerca in Fisica Fondamentale, Applicata ed Astrofisica, presso l'Università degli Studi di Torino.
Titolo della tesi "The NA62 experiment: Gigatracker readout architecture"
- 2005: Laurea Specialistica in Fisica delle Tecnologie Avanzate, con la votazione di 110/110 e lode, presso l'Università degli Studi di Torino.
Titolo della tesi "Studio, progettazione e realizzazione di una scheda di acquisizione dati per il rivelatore di muoni dell'esperimento CMS"
- 2002: Laurea in Fisica, con la votazione di 107/110, presso l'Università degli Studi di Torino.
Titolo della tesi "Implementazione dei programmi di test per una scheda di acquisizione dati del rivelatore di muoni dell'esperimento CMS a LHC"
- 1993: Scuola di specializzazione post diploma "Tecnico di sistemi a microprocessore" presso CSEA Torino
- 1991: Diploma di Scuola Media superiore di perito in Elettronica Industriale, con la votazione di 54/60, presso ITIS Peano di Torino

Incarichi professionali

- 2024. Associated Investigator del progetto PRIN "Silicon Integrated GeNEration and Detection of photon number squeezed states of light. (SIGNED)"
- 2024. Responsabile locale progetto IBIS_NEXT
- 2020. Cambio di inquadramento a primo tecnologo (II livello)
- 2018. Assunzione presso INFN sezione di Torino come tecnologo III livello

- 2016. Nomina di Responsabile di Servizio del Laboratorio di Elettronica della sezione INFN di Torino
- 2005. Cambio di inquadramento a CTER V livello professionale
- 1998. Assunzione presso INFN sezione di Torino (CTER VI livello professionale)
- 1994. Primo impiego presso l'azienda Capetti Elettronica s.r.l

Attività professionale presso INFN negli anni 2019-2024

L'attività principale da me condotta in questi anni riguarda il design digitale del chip ALCOR per il rivelatore dRICH dell'esperimento EPIC presso l'Electron Ion Collider del BNL. Si tratta di un ASIC a 32 canali per la lettura di sensori SiPM, in cui è richiesta una risoluzione temporale inferiore a 50 ps rms e un hit rate fino a 4 MHz per canale. In questi anni il chip è stato sottoposto a numerosi test di laboratorio e utilizzato in diversi beam test. Sulla base di questi risultati sono state apportate delle modifiche in due distinte sottomissioni per migliorarne il funzionamento. Attualmente si sta disegnando la versione 3 del chip, che sarà in package e con 64 canali. Di questo progetto sono il responsabile dello sviluppo di tutti i circuiti digitali e dell'integrazione top level del chip.

In questi anni ho anche lavorato alla sottomissione del primo prototipo del chip per il progetto call di CSNV, ARCADIA (Advanced Readout CMOS Architectures with Depleted Integrated sensor Arrays) di cui sono stato il responsabile della progettazione dell'interfaccia di configurazione (basata su SPI) e dei serializzatori per l'estrazione dei dati dal chip, in grado di lavorare in modalità DDR fino a 640 Mb/s. Sono inoltre stato il responsabile delle simulazioni di Power Analysis per la valutazione dei consumi e della IR drop sul full chip e sui singoli blocchi.

A partire dal 2020 sono entrato a far parte delle attività di upgrade del rivelatore Ecal per l'esperimento CMS, collaborando alla progettazione del chip LiTE-DTU. Questo ASIC in tecnologia CMOS 65 nm, ospita al suo interno due ADC per la conversione dei segnali analogici ricevuti dal front end (chip CATIA) con una risoluzione di 12 bit e 160 MS/s. Un'unità di compressione dati basata su codice Huffman, riduce la banda passante dei dati trasmessi da quattro serializzatori che operano a 1.28 Gb/s. Il chip integra il PLL (progetto IpGBT) per la generazione del clock a 1.28 GHz e un'unità di configurazione e controllo. Di questo progetto sono stato il responsabile dell'integrazione del chip nel suo layout finale. Sono anche stato il responsabile delle simulazioni di Power Analysis e di verifica funzionale.

Nel 2019 ho anche partecipato alla sottomissione di un prototipo di ASIC per la collaborazione RD53, attività congiunta degli esperimenti CMS e ATLAS per lo sviluppo di chip a pixel in tecnologia 65 nm, per la fase 2 di upgrade di LHC. L'ASIC in questione è un prototipo del front end analogico lineare contenente una matrice di 16x16 canali. La matrice è divisa in due regioni, dedicate a ospitare diverse versioni del circuito analogico. Il chip è stato testato con successo prima e dopo un irraggiamento fino a 1 Grad. Di questo prototipo ho realizzato l'interfaccia di configurazione e sono stato responsabile del disegno dei circuiti digitali di distribuzione segnali ed estrazione dei dati.

Attività professionale presso INFN negli anni 2015-2018

A partire dal 2/5/2016 sono stato nominato Responsabile del Servizio di Elettronica della sezione INFN di Torino, composto da 14 dipendenti, dove vengono svolte le attività che coprono tutte le esigenze della Sezione. Vengono in particolare eseguiti lavori di progettazione microelettronica (analogica e digitale), programmazione di dispositivi FPGA, disegno di schede PCB, progettazione di schede elettroniche a

componenti discreti, test e caratterizzazione di ASIC e lavori di wire bonding.

In questo periodo ho partecipato alla progettazione e al test del chip WHIN, sviluppato nell'ambito di un progetto di trasferimento tecnologico tra INFN e Waters Micromass. In questo ambito sono stato responsabile dello sviluppo dell'architettura digitale del chip e contribuito alla sua integrazione.

Sono attualmente impegnato al disegno di un nuovo ASIC denominato ALCOR (A Low power Chip for Optical Sensor Readout) il cui sviluppo è stato finanziato dalla CSN2 nell'ambito del progetto Darkside. Si tratta di un chip in tecnologia CMOS 110 nm per la lettura di 32 Silicon Photomultiplier (SiPM). In particolare di questo ASIC mi sto occupando del disegno Top Level dell'intero chip. Sono sotto la mia responsabilità anche il disegno dei serializzatori di dati, la progettazione e lo sviluppo dei circuiti di fine colonna e di configurazione e infine le simulazioni digitali e le analisi di consumo di potenza (power analysis) dell'intero chip.

Attività professionale presso INFN negli anni 2010-2015

A partire dal 2014 sono stato impegnato in un progetto di trasferimento tecnologico che vede coinvolte la Waters-Micromass e la Hamamatsu per il progetto di un ASIC per la lettura di un sensore di 1024 pixel in silicio. Le specifiche tecniche richieste per questo chip sono particolarmente "challenging", in particolare per la risoluzione temporale di 50 ps rms e per il data rate che può avere picchi fino a 500 kHz per pixel. Il chip è stato fabbricato in un processo CMOS 110 nm. Nell'ambito del progetto sono stato responsabile della parte digitale del chip, progettando in particolare il relativo sistema di readout, a partire dalla definizione dell'architettura fino al disegno del layout. È stato sottomesso il primo chip nel luglio 2015.

In questi anni ho anche svolto un'attività di progettazione digitale utilizzando una tecnologia CMOS 65 nm nell'ambito delle collaborazioni CHIPIX65 e RD53. Lo scopo finale di queste attività è la progettazione di un ASIC in tecnologia 65 nm, per la lettura dei nuovi sensori a pixel del tracker di CMS e ATLAS, previsti per la fase di alta luminosità di LHC.

Attività professionale presso INFN negli anni 2005-2010

Negli anni 2007-2010 ho iniziato la formazione necessaria ad acquisire competenze per la progettazione di circuiti integrati VLSI. Tale formazione è avvenuta sia durante l'attività del Dottorato di Ricerca, sia per mezzo di corsi di formazione professionali. Contemporaneamente ho lavorato per il Gigatracker dell'esperimento NA62, maturando quindi esperienza come progettista VLSI. Il Gigatracker di NA62 è un sensore a pixel ibridi di silicio estremamente performante (risoluzione temporale richiesta inferiore a 150 ps rms). Il gruppo di Torino, ha lavorato alla progettazione dell'ASIC di lettura, in tecnologia CMOS 130 nm studiando in particolare, attraverso il progetto di un prototipo dedicato, la possibilità di un readout distribuito basato su Constant Fraction Discriminator e TDC a livello di singolo pixel. In questo ambito sono stato responsabile della progettazione della parte di readout del chip.

Negli anni antecedenti il 2007 mi sono occupato in prima persona e in piena autonomia dello studio, progettazione, realizzazione e collaudi della scheda DDU4 per il rivelatore di muoni DT di CMS. La scheda progettata è impiegata a leggere i dati delle camere a drift di CMS e inviarli al DAQ globale dell'esperimento. La scheda DDU4 è stata utilizzata per tutta la presa dati di CMS (RUN1 e RUN2) fino al 2018. A volte in letteratura questo sistema è indicato con il nome di FED (Front-End Driver) del rivelatore Drift Tubes Chambers di CMS.

Nel corso degli anni compresi tra il 2006 e il 2009 ho curato il commissioning dell'intero sistema al CERN.

Attività professionale presso INFN negli anni 1998-2005

Studio, progettazione, realizzazione e collaudo della scheda DDU3.2.

E' stato il terzo prototipo realizzato della scheda DDU per l'esperimento CMS. Per questa scheda ho realizzato una interfaccia VME descritta in VHDL e implementata in un FPGA Xilinx. Un secondo FPGA invece ospita tutta la logica per il trattamento dei dati.

Attività di supporto per CMS ECAL.

Principalmente i lavori svolti sono stati due. Il test dei chip FPPA e la realizzazione della scheda Motherboard. Per il primo si è trattato di mettere a punto un sistema automatico di test, costituito da numerosi strumenti di misura, controllati tramite un bus GPIB da un programma scritto in LabView. La Motherboard invece è la scheda che distribuisce le alimentazioni a tutto il frontend del calorimetro. Il lavoro svolto è stato quello di ridisegnare il circuito apportando le modifiche richieste.

Progettazione, realizzazione e collaudo della scheda nMSC (new Master Service Card) per l'esperimento NA48. E' una scheda VME 9U facente parte del sistema di trigger dell'esperimento NA48. Questo modulo riceve i dati dal trigger di primo livello (L1TS) e dal trigger di secondo livello (L2TS). Entrambi vengono processati in un FPGA Xilinx prima di essere trasmessi agli altri moduli. L'interfaccia VME garantisce l'accesso locale per la configurazione.

Progettazione e realizzazione del circuito Pat-Gen (Pattern Generator) per l'esperimento di fisica medica ATER2. Si tratta di una macchina a stati implementata in un FPGA Xilinx, descritta mediante linguaggio VHDL. Il circuito, utilizzando un algoritmo prefissato, fornisce una sequenza di indirizzi e un insieme di segnali di controllo per la lettura dei pixel dell'esperimento ATER2.

Studio, progettazione, realizzazione e collaudo della scheda DDU. È stata la nuova versione della scheda pDDU, ma in formato PMC e con interfaccia PCI. I dati sono processati in un FPGA Xilinx, programmato con tecnica mista VHDL e schematico.

Studio progettazione, realizzazione e collaudo della scheda pDDU (prototype Detector Dependent Unit, per il rivelatore di muoni (DT) di CMS. Si tratta del primo prototipo di una scheda per la lettura dei dati provenienti dalle camere a drift dell'esperimento CMS, con FPGA e interfaccia VME.

Attività professionale negli anni 1994-1998

Impiego presso l'azienda Capetti Elettronica s.r.l. in qualità di tecnico elettronico addetto alla produzione e riparazione di controller per pompe a vuoto turbo molecolari.

Marzo 1998: assunzione presso INFN sezione di Torino, come tecnico di elettronica (inquadramento CTER VI livello).

Pubblicazioni

In questi anni sono stato autore o coautore di oltre 110 pubblicazioni e contributi a conferenze.

Informazioni personali

Nome /
Cognome

Giovanni Mazza

Formazione

1995

Abilitazione alla professione di ingegnere presso il Politecnico di Torino

1993

Laurea in Ingegneria Elettronica presso il Politecnico di Torino

1987

Diploma di Perito Industriale con specializzazione in Informatica

Ambito di ricerca

Sviluppo di circuiti integrati analogici, digitali e mixed-signal per la lettura di rivelatori di particelle per fisica delle alte energie

Sviluppo di circuiti integrati digitali e RF per la trasmissione dati ad alta velocità

Sviluppo di circuiti integrati per applicazioni di fisica medica

Disegno di circuiti integrati tolleranti alle radiazioni

Gestione cluster di workstation per progettazione elettronica

Esperimento o progetto

TERA-CNAO

Descrizione

L'adroterapia oncologica richiede una misura precisa della dose rilasciata sul paziente su un range dinamico di almeno 4 ordini di grandezza, in quanto è necessario misurare sia la dose che arriva sul tessuto tumorale, sia quella eventualmente assorbita lateralmente dal tessuto sano. In questo ambito a partire dal 1995 sono responsabile del disegno e l'ottimizzazione di una famiglia di ASIC per la lettura di rivelatori a gas a ionizzazione (sia non segmentati, sia segmentati a pixel e a strip) ad ampio range dinamico. La famiglia di ASIC, denominata TERA, è basata sul principio del charge balancing integrator : la corrente di ingresso viene integrata su una capacità; quando la tensione su tale capacità supera una certa soglia, una quantità di carica costante viene sottratta alla capacità di integrazione, tramite un impulso di tensione su una seconda capacità. In questo modo si evita la saturazione della tensione sulla capacità di integrazione e, contando il numero di impulsi di sottrazione di carica generati, è possibile avere la misura della carica totale integrata con un range dinamico limitato solo dalla dimensione dei contatori e con una linearità dell'ordine dell'1% misurata su un range dinamico di oltre 4 ordini di grandezza.

Sulla base di questo principio, dopo un prototipo iniziale a 14 canali in tecnologia CMOS 1.2 μm , ho disegnato un ASIC a 64 canali in tecnologia CMOS 0.8 μm , basato su logica asincrona e con ingresso unipolare. Tale ASIC è stato utilizzato per equipaggiare un dosimetro 3D per fasci adronici basato su rivelatori a strip denominato Cubo Magico. Il Cubo Magico è stato ampiamente testato con protoni ed è tutt'ora utilizzato al Medical Center dell'Università di Loma Linda ed al Northeast Protontherapy Center di Boston.

Una seconda versione dell'ASIC, nella stessa tecnologia CMOS 0.8 μm ma con una logica sincronizzata ad un clock di 20 MHz, è utilizzata per il monitoring dei fasci adronici del Centro Nazionale di Adroterapia Oncologica (CNAO) di Pavia e dal centro di adroterapia MedAustron di Wiener Neustadt (Austria). L'ASIC, nell'ambito di una collaborazione tra INFN e IBA-Group, è stato utilizzato per equipaggiare due dosimetri commerciali per radioterapia denominati l'mRT MatriXX e Startrack). L'ASIC ha una frequenza massima di conteggio di 5 MHz con una risoluzione in carica regolabile tra 100 fC e 1 pC.

Una terza versione, in tecnologia CMOS 0.35 μm e capace di accettare ingressi bipolari e un clock di 100 MHz, è stata acquisita da IBA e da DeTecTor (spin-off dell'Università di Torino) per i loro dosimetri. La massima frequenza di conteggio è 20 MHz con una risoluzione in carica regolabile tra 50 fC e 1.16 pC.

Ho progettato inoltre una quarta versione, sempre in tecnologia CMOS 0.35 μm e ottimizzata per un acceleratore a fasci impulsati. La frequenza di clock è salita a 280 MHz con una frequenza massima di conteggio di 70 MHz, mentre la risoluzione in carica può essere variata tra 200 fC e 660 fC. L'ASIC è stato prodotto e testato nel corso del 2016. L'architettura è stata brevettata (numero di brevetto US20180164445 (2020) per gli USA, richiesta di brevetto EP3326650 (2018) per l'UE).

CMS

Dal 2010 al 2012 mi sono occupato del progetto della scheda CuOF per la conversione elettro-ottica dei segnali provenienti dai drift tube per la rivelazione di muoni. La scheda, basata su componenti commerciali, ha consentito lo spostamento delle schede di read-out e di trigger dalla zona sperimentale alla counting room.

Dal 2016 sono responsabile del progetto dell'ASIC per la conversione A/D, la compressione dati e la trasmissione dati per il calorimetro elettromagnetico. L'ASIC, in tecnologia CMOS 65 nm, integra due ADC da 160 MS/s e 12 bit (disegnati da una ditta esterna), la logica di selezione e compressione dati e i link di trasmissione a 1.28 Gb/s. L'ASIC integra inoltre un PLL tollerante alle radiazioni che genera il clock a 1.28 GHz partendo da un master clock a 160 MHz. Per questo componente ho adattato il disegno del PLL integrato nell'ASIC LpGBT realizzato al CERN alle esigenze del progetto ECAL. I primi due prototipi dell'ASIC, denominato LiTE-DTU, sono stati prodotti nel 2018 e nel 2020 e testati estensivamente presso l'INFN di Torino e il CEA di Saclay. Sono state inoltre eseguiti test di irraggiamento alle facility di irraggiamento con raggi X dell'Università di Padova (per la dose totale) e con ioni a Louvain-la-Neuve, Belgio (per single event effect). Nel corso di Luglio 2021 il prototipo di LiTE-DTU è stato utilizzato per un beam test al CERN integrato con gli altri componenti della catena di lettura. A fine Luglio 2021 il prototipo finale dell'ASIC è stato mandato in fabbricazione. La produzione di massa è prevista nella seconda metà del 2022. Oltre alla responsabilità del progetto ho partecipato alla scrittura del contratto per conto del CERN con la ditta per l'ordine dell'IP dell'ADC e sono stato il riferimento tecnico durante la fase di disegno.

ALICE

Dal 1996 al 2004 ho lavorato sull'elettronica di lettura dei Silicon Drift Detector (SDD) dell'Inner Tracking System (ITS) dell'esperimento ALICE. L'ITS utilizzato fino al Long Shutdown 2 (LS2) era composto da 6 layer di rivelatori al silicio, dove i rivelatori SDD occupano i due layer centrali. I rivelatori SDD per l'ITS di ALICE sono particolarmente complessi in termini di elettronica di readout in quanto devono fornire sia la posizione bi-dimensionale del punto di interazione, sia la carica rilasciata dalla particella in un range dinamico di 10 bit. La risoluzione spaziale viene ottenuta tramite il calcolo del centroide di un cluster di campioni, rendendo quindi più efficiente la soppressione degli zeri.

In questo ambito sono stato responsabile del progetto dell'architettura di lettura basata sull'integrazione dei convertitori analogico digitali nell'ASIC di front-end. I segnali in uscita dal rivelatore, campionati a 40 MS/s, vengono convertiti in digitale (solo dopo la validazione del segnale di trigger, per risparmiare potenza) e memorizzati localmente in una memoria digitale multievento. Le coppie di ASIC di front-end, denominati PASCAL e AMBRA, trasmettevano i dati ad un terzo ASIC che esegue la soppressione degli zeri tramite un algoritmo di clustering bidimensionale e trasmessi al DAQ tramite fibra ottica. L'architettura da me proposta è stata comparata con una architettura alternativa basata su logica fuzzy ed è stata scelta dalla collaborazione ALICE ITS. Lo sviluppo di questo sistema di readout è stato portato avanti dai gruppi ALICE ITS delle sezioni di Torino e Bologna sotto il mio coordinamento.

Mi sono inoltre occupato direttamente del progetto degli ADC e della relativa logica di controllo di PASCAL, e del progetto dell'ASIC di equalizzazione delle baseline, buffering digitale e compressione non lineare denominato AMBRA. Questi due ASIC sono stati progettati in tecnologia CMOS 0.25 μm utilizzando tecniche di layout per aumentare la tolleranza alle radiazioni (enclosed gate). Ho infine contribuito alla fase di costruzione e test dei layer 3 e 4 dell'ITS e dell'installazione finale in zona sperimentale. Gli ASIC PASCAL e AMBRA sono stati utilizzati dall'esperimento ALICE fino all'upgrade eseguito durante LS2.

L'upgrade dell'ITS di ALICE prevede la sostituzione dei 6 layer attualmente installati con 7 layer, tutti equipaggiati con rivelatori a pixel monolitici e readout binario. Il componente fondamentale è un ASIC, denominato ALPIDE, che integra le funzioni di rivelatore, amplificazione dei segnali e trasmissione dei dati al di fuori del volume del rivelatore. L'ASIC, in tecnologia CIS (CMOS Image Sensor) 0.18 μm , è formato da una matrice di 1024×512 pixel di dimensione $28 \mu\text{m} \times 28 \mu\text{m}$ ed ha una dimensione complessiva di $30 \text{ mm} \times 15 \text{ mm}$. I nuovi layer a pixel monolitici sono attualmente in fase avanzata di installazione.

In quest'ambito mi sono occupato del progetto della logica di trasmissione dati ad alta frequenza dell'ASIC ALPIDE. Il blocco, denominato DTU (Data Transmission Unit), trasmette dati ad un rate massimo di 1.2 Gb/s ad una distanza di circa 6 m e comprende un PLL per generare il clock di trasmissione a 600 MHz a partire dal clock di sistema a 40 MHz, un serializzatore DDR (Double Data Rate) e un driver in corrente con funzione di pre-enfasi. Il blocco DTU è stato integrato nella versione finale di ALPIDE ed è stato testato con successo sia in stand-alone che montato sui prototipi di stave dell'ITS. Ho inoltre coordinato i test di caratterizzazione del blocco DTU per la tolleranza alle radiazioni, eseguiti utilizzando fasci di ioni presso i Laboratori Nazionali di Legnaro e tramite protoni presso il ciclotrone NPI di Rez, Repubblica Ceca.

Nell'ambito dell'upgrade dell'esperimento ALICE previsto per il long shutdown 3, ho iniziato ad occuparmi del nuovo timing layer. Questo layer sarà basato su rivelatori al silicio veloci (LGAD, SPAD o MAPS) e richiederà un'elettronica integrata di lettura capace di una risoluzione temporale nel range 20-50 ps (a seconda della configurazione geometrica che verrà scelta).

COMPASS	Dal 2003 al 2008 ho partecipato al progetto dell'ASIC per la lettura del RICH dell'esperimento COMPASS. L'ASIC, denominato CMAD e realizzato in tecnologia 0.35 μm , consiste di 8 canali di preamplificazione, discriminazione e trasmissione LVDS e integra DAC per il controllo indipendente della soglia e della baseline di ogni canale. L'ASIC è attualmente utilizzato dall'esperimento COMPASS.
IBIS	Dal 2020 sono responsabile locale dell'esperimento IBIS, che si propone di sviluppare un dispositivo di imaging ad alta risoluzione utilizzando rivelatori di SiPM di tipo BSI (BackSide Illuminated).
MoVe-IT	Dal 2018 sto lavorando al progetto di ASIC di lettura di rivelatori al silicio veloci di tipo LGAD per applicazioni mediche. Il progetto dell'ASIC si inserisce nell'ambito di ricerca che mira ad ottimizzare i trattamenti oncologici adroterapici dal punto di vista biologico. A tal fine è necessario non solo misurare la dose rilasciata nel tessuto tumorale ma anche il conteggio del numero di particelle. Ciò richiede rivelatori ed elettronica di lettura capaci di sostenere rate di lettura dell'ordine dei 100 MHz. A tale scopo abbiamo disegnato due prototipi a 24 canali, uno basato su un'architettura del tipo charge-sensitive amplifier (CSA) con reset digitale ed una basata su amplificatori di transimpedenza (TIA). La prima architettura è già stata testata a CNAO mentre la seconda è attualmente in fase di valutazione. Entrambi i prototipi sono realizzati in tecnologia CMOS 0.11 μm
NA62	Dal 2006 al 2010 mi sono occupato del progetto della logica di controllo del TDC on-pixel per la lettura ad alto rate (800 MHz/cm ²) dei rivelatori a pixel per l'esperimento NA62. Il circuito, progettato e realizzato in tecnologia CMOS 0.13 μm tollerante alle radiazioni ha costituito la base per i successivi sviluppi ToF PET per la Time-of-Flight PET e per il progetto di trasferimento tecnologico WHIN.
PANDA	Dal 2005 al 2015 sono stato responsabile del progetto dell'ASIC per la lettura dei rivelatori a pixel in silicio per il microvertice dell'esperimento PANDA. L'ASIC, denominato ToPiX, è basato su di una matrice di pixel di area $100 \times 100 \mu\text{m}^2$ che forniscono sia l'informazione di tempo di arrivo della particella (ToA), sia la carica rilasciata su un range dinamico di 12 bit tramite la tecnica del Time-over-Threshold (ToT). I prototipi in scala ridotta dell'ASIC, in tecnologia CMOS 0.13 μm tollerante alle radiazioni sono stati testati con successo sia in laboratorio che sotto irraggiamento (per TID e per SEU) e connessi ad un rivelatore a pixel in beam test al CERN e a COSY. Sono stato membro del Technical Board dell'esperimento come <i>special topic advisor</i> per l'elettronica del microvertice e la trasmissione dati ad alta frequenza. Dal 2019 sono responsabile del progetto dell'ASIC di lettura dei rivelatori in silicio a microstrip per il microvertice di PANDA. L'attività, supportata dall'INFN nell'ambito del progetto FAIRnet, ha portato al disegno di un ASIC a 64 canali in tecnologia CMOS 0.11 μm tollerante alle radiazioni, denominato ToASt. Il singolo canale di amplificazione è composto da un amplificatore di carica, uno shaper a peaking time regolabile e un buffer in corrente seguito da un circuito di misura del corrente di scarica programmabile e doppia soglia per riduzione del rumore. L'interfaccia digitale, che riutilizza in parte quella di ToPiX, memorizza le informazioni di ToA e di ToT e le trasmette attraverso due link seriali a 160 Mb/s. L'ASIC è stato mandato in produzione nell'Aprile 2021.
R&D	Nel corso della mia carriera presso la sezione di Torino dell'INFN ho lavorato per vari progetti di ricerca aventi come scopo il progetto e la caratterizzazione di circuiti integrati o blocchi funzionali integrati tolleranti alle radiazioni. Più in dettaglio : RD49: dal 1997 al 2000 mi sono occupato dello studio di blocchi funzionali (ADC ad approssimazioni successive e memorie analogiche) in tecnologia CMOS 0.25 μm resi tolleranti alle radiazioni tramite tecniche di layout. Ho in parte riutilizzato questi blocchi per il progetto degli ASIC per le SDD di ALICE. Sono co-autore di una pubblicazione sul giornale MicroNews di IBM Microelectronics che ha ricevuto il <i>Certificate of Appreciation Award</i> dalla IBM Microelectronics Division. DACEL-DACEL2: dal 2005 al 2014 sono stato responsabile e progettista principale del laser driver tollerante alle radiazioni GBLD, nell'ambito degli esperimenti di gruppo V DACEL (di cui sono stato responsabile locale) e DACEL2 e del progetto CERN GBT. Lo scopo del progetto era quello di realizzare un transceiver elettro-ottico a 4.8 Gb/s in tecnologia CMOS 0.13 μm tollerante alle radiazioni. Ho realizzato due versioni del laser driver, la prima funzionante fino a 10 Gb/s e la seconda limitata a 5 Gb/s ma con dissipazione di potenza inferiore. Mi sono inoltre occupato della caratterizzazione dettagliata della tolleranza alle radiazioni del GBLD, sia per l'aspetto della dose totale tramite raggi X al CERN che per le problematiche di Single Event Upset (SEU) con test eseguiti tramite fasci di ioni presso la facility SIRAD dei Laboratori Nazionali di Legnaro e presso il ciclotrone di Louvain-la-Neuve, Belgio. Il chip è stato prodotto in più di 90000 esemplari e testato con uno yield maggiore del 99%. E' attualmente utilizzato dagli esperimenti di LHC montato sulla scheda denominata VTRx.

RD53: dal 2016 al 2018 mi sono occupato dello studio di blocchi funzionali in tecnologia CMOS 65 nm tollerante alle radiazioni ed in particolare di circuiti di trasmissione dati ad alta frequenza. Ho progettato un PLL basato su oscillatore LC che moltiplica una frequenza di ingresso nominale di 160 MHz a 5.12 GHz. Tale circuito può essere utilizzato sia per serializzatori ad alta frequenza per trasmissione dati, sia per ADC ad approssimazioni successive ad alta risoluzione e elevato sampling rate. Il PLL è stato irraggiato fino a 250 Mrad mantenendo un funzionamento corretto con un moderato aumento del jitter.

ScaITech28 e FinFET16v2: dal 2017 al 2020 sono stato responsabile locale dell'esperimento di gruppo V ScaITech28 (ora FinFET16v2), che ha come obiettivo la caratterizzazione di tecnologie in 28 nm e 16 nm planari e basate su FinFET per la tolleranza alle radiazioni. In quest'ambito ho coordinato il lavoro di un dottorando che ha progettato alcuni componenti fondamentali per applicazioni ad alta frequenza (in particolare un Voltage Controlled Oscillator capace di lavorare a oltre 5 GHz e un driver CML a 1.25 GHz) che sono attualmente in fase di caratterizzazione.

Attività di coordinamento laboratorio di elettronica

Da Gennaio 2010 ad Aprile 2016 sono stato responsabile del laboratorio di elettronica della sezione di Torino. In questo ruolo, oltre alla gestione ordinaria del laboratorio, ho cercato di fornire supporto ai gruppi di ricerca in modo da permettere di utilizzare al meglio le competenze e le professionalità del personale tecnico all'interno degli esperimenti. Ho inoltre incoraggiato e supportato la formazione del personale tecnico e l'adozione di strumenti CAD più moderni. Ho inoltre continuato e programmato in maniera regolare (con cadenza bimestrale) le riunioni di laboratorio per facilitare lo scambio di informazioni e evidenziare le eventuali problematiche.

Gestione workstation, CAD e PDK

Dal 1995 mi occupo della gestione del cluster di progettazione microelettronica del laboratorio di elettronica della sezione e del relativo software di progettazione. Il cluster, costituito originariamente da workstation Sun con sistema operativo Solaris, è ora basato su workstation e PC con processore Intel e sistemi operativi Linux Red Hat e Scientific Linux. Il cluster è attualmente composto da 17 workstation e fornisce software di progettazione Cadence, Mentor Graphics, Synopsys, Xilinx e Altera.

Sono inoltre responsabile dell'installazione e della configurazione dei Process Design Kit (PDK) delle tecnologie microelettroniche utilizzate dai dipendenti e associati della sezione di Torino dell'INFN. Attualmente a Torino vengono utilizzate tecnologie da 5 silicon foundry (TSMC, UMC, LFoundry, TowerJazz e AMS) con nodi tecnologici dai 350 nm ai 28 nm. Sono il rappresentante per l'INFN di Torino per il consorzio europeo Europractice.

Dal 2019 mi sto occupando del contratto tra l'INFN e la ditta Cadence per la fornitura di CAD di progettazione elettronica. Il 18.6.2021 sono stato nominato Direttore dell'Esecuzione del Contratto dal Direttore Generale dell'INFN.

Attività didattica

Dall'anno accademico 2019/20 sono titolare del corso "Microelectronics for Radiation Detectors II", tenuto con cadenza biennale, per il corso di dottorato in Ingegneria Elettrica, Elettronica e delle Comunicazioni del Politecnico di Torino. Dall'anno accademico 2014/15 alla data odierna sono membro del collegio docenti della Scuola di Dottorato in Ingegneria Elettrica, Elettronica e delle Comunicazioni del Politecnico di Torino.

Negli anni accademici 1997/98 e 1998/99 ho tenuto parte del corso di Fisica dei Dispositivi Elettronici. Negli anni accademici dal 2002/03 al 2009/10 ho tenuto parte del corso di Microelettronica. Entrambi i corsi fanno parte del corso di laurea in Fisica dell'Università di Torino.

Nel Febbraio 2002 sono stato docente dello stage "Microelettronica e caratterizzazione di circuiti integrati" organizzato per gli studenti dell'ITIS "Primo Levi" di Torino.