

**CONCORSO PER TITOLI ED ESAMI DI CUI AL BANDO N. FE/T3/22120-2020 PER UN POSTO PER  
IL PROFILO DI TECNOLOGO DI III LIVELLO PROFESSIONALE, PER ASSUNZIONE A TEMPO  
DETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN**

**QUESITI PROVA ORALE  
12 OTTOBRE 2020 – ORE 10:00**

**1) Quesiti inerenti le materie d'esame**

1a) In un tipico flusso di FPGA (Field Programmable Gate Array) design la funzionalità del progetto può essere verificata analizzando i risultati delle simulazioni "RTL" (Register Transfer Level) e i report prodotti dai tool di "Static Timing Analysis". Descrivere le caratteristiche principali dell'uno e dell'altro tipo di verifica.

1b) Il candidato illustri i tools integrati in un tipico ambiente di sviluppo per FPGA (Field Programmable Gate Array) ad alte prestazioni, il loro scopo, l'ordine in cui sono tipicamente eseguiti, l'output del flusso di progettazione ed almeno uno dei modi in cui tale output può essere trasferito al dispositivo FPGA per la sua riconfigurazione.

1c) Un tipico ambiente di sviluppo per FPGA (Field Programmable Gate Array) ad alte prestazioni integra, generalmente, un portfolio di moduli ("core") IP (Intellectual Property) ottimizzati per implementare specifiche funzioni in modo altamente efficiente. Il candidato illustri la funzione e le caratteristiche principali di almeno un "soft" IP core e di almeno un "hardened" IP core disponibili in un ambiente di sviluppo per FPGA di sua scelta.

1d) Il candidato illustri come allestirebbe un banco di misura del time walk del segnale digitale di uscita di un circuito integrato dedicato all'amplificazione e discriminazione del segnale da fotorivelatori Silicon PhotoMultiplier (SiPM) in risposta ai segnali prodotti da un dispositivo con guadagno in carica di circa  $1 \cdot 10^6 e^-$ .

1e) Il candidato illustri come allestirebbe un banco di misura per la "double pulse resolution" di un circuito integrato dedicato all'amplificazione e discriminazione del segnale da un dispositivo PMT (Photo Multiplier Tube) caratterizzato da un guadagno in carica di circa  $1 \cdot 10^6 e^-$  per fotone rivelato.

1f) Il candidato illustri come allestirebbe un sistema per la misura del guadagno e del range dinamico di un circuito integrato dedicato all'amplificazione e discriminazione del segnale da un dispositivo PMT (Photo Multiplier Tube) caratterizzato da un guadagno in carica di circa  $1 \cdot 10^6 e^-$  per fotone rivelato.

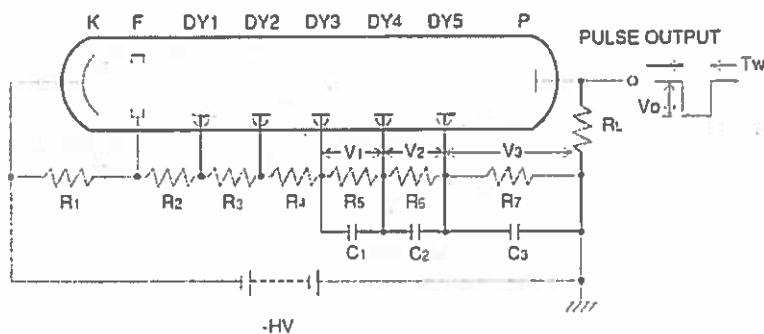
1g) Il candidato illustri i principi fondamentali di funzionamento di un dispositivo fotorivelatore a matrice di Single Photon Avalanche Diode (SPAD), comunemente noto come Silicon PhotoMultiplier (SiPM). Il candidato dica quale parametro ambientale influenza il "dark count rate" motivando la risposta.

1h) Il candidato illustri i principi fondamentali di funzionamento di un dispositivo fotorivelatore a matrice di Single Photon Avalanche Diode (SPAD), comunemente noto come Silicon PhotoMultiplier (SiPM). Il candidato indichi i parametri costruttivi ed operativi del sensore che ne influenzano il guadagno, inteso come quantità di carica fornita dall'impulso di corrente in uscita in risposta alla rivelazione di un fotone incidente sul dispositivo.



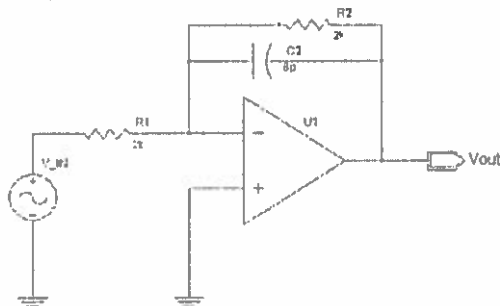
*[Handwritten signatures and initials]*

1i) Lo schema elettrico sotto riportato si riferisce ad un circuito di impiego per un fotomoltiplicatore (PMT):

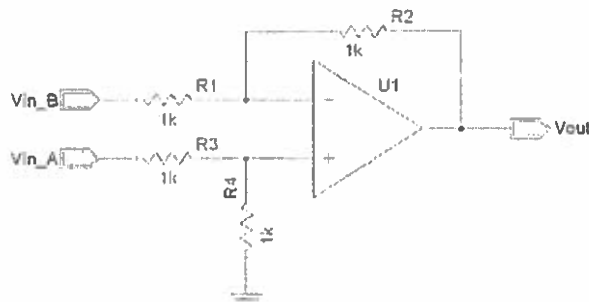


Il candidato illustri il principio di funzionamento del PMT e illustri per quale ragione sia conveniente progettare il partitore per avere la corrente stazionaria piu' alta possibile compatibilmente con la dissipazione di potenza tollerata dall'applicazione in cui il sensore e il suo partitore sono impiegati.

1i) Nel circuito sotto riportato l'amplificatore operazionale e' da considerarsi ideale  
Calcolare la frequenza di taglio superiore della risposta in frequenza  $G(j\omega) = V_{out}(j\omega) / V_{in}(j\omega)$ .

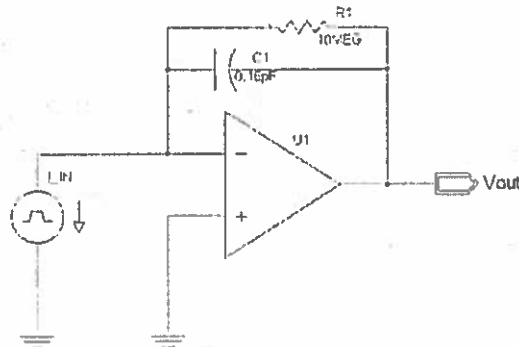


1m) Nel circuito sotto riportato l'amplificatore operazionale e' da considerarsi ideale  
Applicando il principio di sovrapposizione degli effetti il candidato mostri che la relazione tra la tensione di uscita  $V_{out}$  e le tensioni di ingresso  $V_{in\_A}$  e  $V_{in\_B}$  e':  $V_{out} = (V_{in\_A} - V_{in\_B})$



1n) Nel circuito sotto riportato:

- l' amplificatore operazionale e' da considerarsi ideale
  - il generatore di corrente ideale  $I_{IN}$  modella il segnale di corrente fornito da un fotorelevatore
- Il candidato provi a stimare il valore di picco del segnale  $V_{out}$  nel caso in cui il generatore produca un impulso di corrente ideale con carica totale di  $1 \cdot 10^6$  elettroni.



2) Quesiti inerenti la conoscenza della lingua inglese

2a) Il candidato legga ad alta voce e traduca la seguente parte di un articolo dal titolo "FPGAs that speak your language" estratto dalla rivista CERN COURIER:

"The difficulty is that programming FPGAs is traditionally the preserve of engineers coding low-level languages such as VHDL and Verilog, where even simple tasks can be tricky. For example, a function to sum two numbers together requires several lines of code in VHDL, with the designer even required to define when the operations happen relative to the processor clock. Outsourcing the coding is impractical, given the imminent need to implement elaborate algorithms featuring machine learning in the trigger to quickly analyse data from high-granularity detectors in high-luminosity environments."

2b) Il candidato legga ad alta voce e traduca la seguente parte di un articolo dal titolo "FPGAs that speak your language" estratto dalla rivista CERN COURIER:

"FPGAs can compete with other high-performance computing chips due to their massive capability for parallel processing and relatively low power consumption per operation. The devices contain many millions of programmable logic gates that can be configured and connected together to solve specific problems. Because of the vast numbers of tiny processing units, FPGAs can be programmed to work on many different parts of a task simultaneously, thereby achieving massive throughput and low latency – ideal for increasingly popular machine-learning applications."

2c) Il candidato legga ad alta voce e traduca la seguente parte di un articolo dal titolo "FPGAs that speak your language" estratto dalla rivista CERN COURIER:

"The front-end and read-out systems of most collider detectors include many application-specific integrated circuits (ASICs). These custom-designed chips digitise signals at the interface between the detector and the outside world. The algorithms are baked into silicon at the foundries of some of the biggest companies in the world, with limited prospects for changing their functionality in the light of changing conditions or detector performance. Minor design changes require substantial time and money to fix, and the replacement chip must be fabricated from scratch."



**3) Quesiti inerenti la conoscenza dell'utilizzo del personal computer**

3a) Il candidato descriva la funzione a cui è adibito il dispositivo "Hard Disk Drive" installato in un Personal Computer e le sue principali caratteristiche e faccia poi un esempio di un applicativo che lo utilizzi.

3b) Il candidato descriva la funzione a cui è adibito il dispositivo "Graphics Adapter" (scheda grafica) installato in un Personal Computer e le sue principali caratteristiche e faccia poi un esempio di un applicativo che lo utilizzi.

3c) Il candidato descriva la funzione a cui è adibito il "Network Interface Controller" (scheda di rete) installato in un Personal Computer e le sue principali caratteristiche, facendo poi un esempio di un applicativo che lo utilizzi.



*Handwritten signature*