



Bando PG/T3/22309- Terzo verbale della Commissione esaminatrice - allegato n. 1

CONCORSO PER TITOLI ED ESAMI DI CUI AL BANDO PG/T3/22309 PER N. 1 POSTI PER IL PROFILO DI
TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO
DETERMINATO, PRESSO LA SEZIONE DI PERUGIA DELL'INFN.

Prova orale – FOGLIO 1

- Il candidato discuta i vantaggi dell'uso di VHDL nella progettazione circuiti digitali
- Il candidato discuta i requisiti per la selezione di componenti per applicazioni spaziali

Informatica:

- Il candidato dia esempi di linguaggi per descrizione sistema ad alto livello e ne discuta le caratteristiche

Inglese:

What is the difference between ISI Jitter, Pattern Dependent Jitter, and Data Dependent Jitter?

These are three different terms for the same type of jitter, viewed from different perspectives. Inter-symbol Interference (ISI) jitter results when digital symbols are sent through a channel at a rate faster than the channel bandwidth can support, causing smearing of the symbols into adjacent symbol time slots. Pattern dependent and data dependent jitter result when the channel is unable to pass the different frequency components of the data pattern equally – some frequency components are attenuated while others are not. In any case, all of these terms refer to the same jitter mechanism only from a frequency-domain perspective or a time-domain perspective.

Handwritten notes and signatures at the bottom right of the page.



Bando PG/T3/22309- Terzo verbale della Commissione esaminatrice - allegato n. 2

CONCORSO PER TITOLI ED ESAMI DI CUI AL BANDO PG/T3/22309 PER N. 1 POSTI PER IL PROFILO DI
TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO
DETERMINATO, PRESSO LA SEZIONE DI PERUGIA DELL'INFN.

Prova orale – FOGLIO 2

- Il candidato discuta i parametri per il progetto o la scelta di un convertitore A/D
- Il candidato discuta le problematiche associate alla trasmissione di segnali fra schede e all'interno di FPGA

Informatica:

- Il candidato discuta un ambiente di sviluppo per circuiti su FPGA

Inglese:

How many data rates can I program into the data rate detect function?

Each channel has 4 look up tables (LUTA/B/C/D), so up to 4 different data rates can be programmed. However, there are only 2 frequency synthesizers (FSYN0/1), so the other 2 data rates need to be a multiple of the others. Note that data rate of LUTA < LUTB < LUTC. What mode is Data Rate Detect operating in? The data rate detect functionality is only available in either Infiniband 0 or Infiniband 1 mode. For Infiniband 0, MODE0 = 1 and MODE1 = 0. Infiniband 1, MODE0 = Float and MODE1 = 1. Also, FCSEL0 pin needs to be tied to ground.

OFF 5.2

B 23



Bando PG/T3/22309- Terzo verbale della Commissione esaminatrice - allegato n. 3

CONCORSO PER TITOLI ED ESAMI DI CUI AL BANDO PG/T3/22309 PER N. 1 POSTI PER IL PROFILO DI
TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO
DETERMINATO, PRESSO LA SEZIONE DI PERUGIA DELL'INFN.

Prova orale – FOGLIO 3

- Il candidato discuta i parametri di valutazione di segnali analogici
- Il candidato discuta l'uso di FPGA in confronto a microprocessori per sistemi DAQ

Informatica:

- Il candidato discuta e motivi una possibile scelta per il linguaggio di progettazione per circuiti elettronici digitali

Inglese:

Can each of the channels be powered down?

Yes, each channel has an individual power down/up register, which is PD_CH. However, if the user requires a power down/up toggle upon a link up, for example, it is highly recommended to power down/up each of the 4 blocks individually. Essentially, PD_CH bit powers down/up 4 blocks, which are INBUF, DFECRU, OD, and LOS blocks. Powering down/up all 4 blocks at the same time may create a power spike which causes a burst of bit errors in neighboring channels. To power down each of the 4 blocks individually, these are the registers that need to be enabled: 0n_89 bit[7], 0n_8A bit[10], 0n_97 bit[9], and 0n_A0 bit[11].

Handwritten signatures and initials.