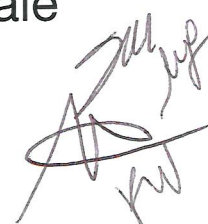


1.

Cestino 1

Quarto verbale concorso bando n. 24296/2022
Allegato n.1

- 1.1. Descrivere le problematiche legate al ground bounce di FPGA e le relative tecniche di moderazione
- 1.2. Descrivere le tecniche di pilotaggio di linee di trasmissione in una FPGA: single ended, differenziali, terminate, ...
- 1.3. Descrivere le problematiche legate al signal integrity di una FPGA nei suoi vari aspetti
- 1.4. Descrivere le tecniche di monitoraggio dei parametri di funzionamento di una FPGA (temperatura, Vbias, etc...)
- 1.5. Descrivere le tecniche di filtraggio delle alimentazioni di una FPGA
- 1.6. Descrivere le architetture di distribuzione del clock a livello di scheda e di FPGA
- 1.7. Descrivere le tecniche di tuning del set-up e dell'hold a livello di scheda e di FPGA
- 1.8. Descrivere le principali caratteristiche dei banchi di IO delle FPGA
- 1.9. Descrivere le tecniche di caricamento dei bitstream delle FPGA con cenni alla riconfigurazione parziale



- 1.10. Descrivere i problemi legati alla presenza di FPGA non configurate a bordo di una scheda alimentata e funzionante
- 1.11. Descrivere l'impatto del package sulle funzionalità di una FPGA
- 1.12. Descrivere come si configura una FPGA
- 1.13. Descrivere quali sono le differenze tra una FPGA e un ASIC
- 1.14. Descrivere l'analisi temporale nel flusso di progettazione del firmware di una FPGA
- 1.15. Descrivere quali sono i differenti tipi di I/O in una FPGA
- 1.16. Descrivere il tempo di setup e il tempo di hold nell'analisi temporale di in una FPGA
- 1.17. Descrivere il processo di sintesi di una FPGA
- 1.18. Descrivere il processo di place&route di una FPGA
- 1.19. Descrivere l'utilizzo dei moltiplicatori di frequenza di una FPGA



2. Cestino 2

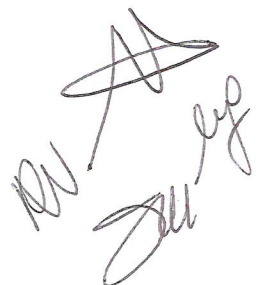
- 2.1. Descrivere la differenza tra logica sincrona e logica asincrona nei linguaggi HDL
- 2.2. Descrivere le tecniche per minimizzare la metastabilità nei linguaggi HDL
- 2.3. Descrivere le metodologie di reset sincrono e asincrono nei linguaggi HDL
- 2.4. Descrivere l'utilizzo delle librerie IEEE nei linguaggi HDL
- 2.5. Descrivere le tecniche di timing closure nei linguaggi HDL
- 2.6. Descrivere i metodi di utilizzo dei serializzatori embedded nelle FPGA nei linguaggi HDL
- 2.7. Descrivere le principali tecniche di descrizione (modellazione) del hardware nei linguaggi di programmazione HDL
- 2.8. Descrivere uso e finalità delle istruzioni concorrenti nei linguaggi di programmazione HDL
- 2.9. Descrivere l'uso dei linguaggi HDL per la progettazione top-down e bottom-up dei sistemi digitali
- 2.10. Illustrare le caratteristiche e finalità del testbench nei linguaggi di programmazione HDL

Handwritten signature and initials in the bottom right corner of the page.

3.

Cestino 3

- 3.1. Descrivere le principali funzionalità della CPU di un PC
- 3.2. Descrivere le principali funzionalità della memoria di un PC
- 3.3. Descrivere il flusso dei dati della CPU di un PC
- 3.4. Descrivere il flusso dei dati della memoria di un PC
- 3.5. Descrivere i principali componenti della scheda madre di un PC
- 3.6. Descrivere i principali metodi di collegamento di un PC alla rete esterna
- 3.7. Descrivere la differenza tra sistemi di archiviazione interni ed esterni di un PC
- 3.8. Descrivere alcuni metodi di condivisione di file contenuti in un PC con altri utenti esterni
- 3.9. Descrivere cosa è un compilatore
- 3.10. Descrivere esempi di periferiche collegabili ad un PC

Handwritten signature and initials in the bottom right corner of the page.

4.

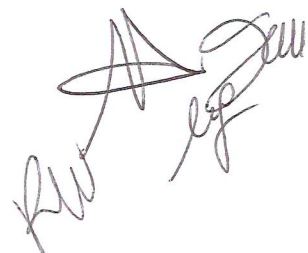
Cestino 4

4.1. Testo estratto da <https://docs.xilinx.com/v/u/en-US/ds890-ultrascale-overview>:

To support the processors' functionality, a number of peripherals with dedicated functions are included in the PS. For interfacing to external memories for data or configuration storage, the PS includes a multi-protocol dynamic memory controller, a DMA controller, a NAND controller, an SD/eMMC controller and a Quad SPI controller. In addition to interfacing to external memories, the APU also includes a Level-1 (L1) and Level-2 (L2) cache hierarchy; the RPU includes an L1 cache and Tightly Coupled memory subsystem. Each has access to a 256KB on-chip memory.

4.2. Testo estratto da <https://docs.xilinx.com/v/u/en-US/ds890-ultrascale-overview>:

For high-speed interfacing, the PS includes 4 channels of transmit (TX) and receive (RX) pairs of transceivers, called PS-GTR transceivers, supporting data rates of up to 6.0Gb/s. These transceivers can interface to the high-speed peripheral blocks that support PCIe at 5.0GT/s (Gen 2) as a root complex or Endpoint in x1, x2, or x4 configurations; Serial-ATA (SATA) at 1.5Gb/s, 3.0Gb/s, or 6.0Gb/s data rates; and up to two lanes of Display Port at 1.62Gb/s, 2.7Gb/s, or 5.4Gb/s data rates. The PS-GTR transceivers can also interface to components over USB 3.0 and Serial Gigabit Media Independent Interface (SGMII).

A handwritten signature in black ink, appearing to be 'RW' followed by a stylized name, possibly 'Rafael'.

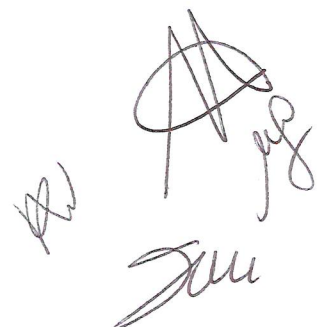
4.3. Testo estratto da <https://docs.xilinx.com/v/u/en-US/ds890-ultrascale-overview>:

For general connectivity, the PS includes: a pair of USB 2.0 controllers, which can be configured as host, device, or On-The-Go (OTG); an I2C controller; a UART; and a CAN2.0B controller that conforms to ISO11898-1. There are also four triple speed Ethernet MACs and 128 bits of GPIO, of which 78 bits are available through the MIO and 96 through the EMIO.

High-bandwidth connectivity based on the Arm AMBA® AXI4 protocol connects the processing units with the peripherals and provides interface between the PS and the programmable logic (PL).

4.4. Testo estratto da <https://docs.xilinx.com/v/u/en-US/ds890-ultrascale-overview>:

Data is transported on and off chip through a combination of the high-performance parallel SelectIO™ interface and high-speed serial transceiver connectivity. I/O blocks provide support for cutting-edge memory interface and network protocols through flexible I/O standard and voltage support. The serial transceivers in the UltraScale architecture-based devices transfer data up to 58.0Gb/s, enabling 25G+ backplane designs with dramatically lower power per bit than previous generation transceivers.

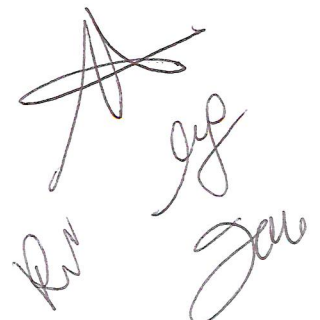
Handwritten signatures and initials in the bottom right corner of the page. There are three distinct marks: a small scribble on the left, a large stylized signature in the middle, and another signature below it.

4.5. Testo estratto da <https://docs.xilinx.com/v/u/en-US/ds890-ultrascale-overview>:

UltraScale devices contain powerful clock management circuitry, including clock synthesis, buffering, and routing components that together provide a highly capable framework to meet design requirements. The clock network allows for extremely flexible distribution of clocks to minimize the skew, power consumption, and delay associated with clock signals. The clock management technology is tightly integrated with dedicated memory interface circuitry to enable support for high-performance external memories, including DDR4.

4.6. Testo estratto da <https://docs.xilinx.com/v/u/en-US/ds890-ultrascale-overview>:

Configurable Logic Blocks (CLBs) containing 6-input look-up tables (LUTs) and flip-flops, DSP slices with 27x18 multipliers, 36Kb block RAMs with built-in FIFO and ECC support, and 4Kx72 UltraRAM blocks (in UltraScale+ devices) are all connected with an abundance of high-performance, low-latency interconnect. In addition to logical functions, the CLB provides shift register, multiplexer, and carry logic functionality as well as the ability to configure the LUTs as distributed memory to complement the highly capable and configurable block RAMs.

Handwritten signatures and initials in the bottom right corner of the page. There are three distinct marks: a large, stylized signature, a smaller signature, and a set of initials.