

**CONCORSO PER TITOLI ED ESAMI DI CUI AL BANDO N. 24415/2022 PER UN POSTO CON IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE, CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN**

**QUESITI PROVA ORALE  
30 SETTEMBRE 2022 – ORE 10:00**

**Quesiti inerenti le materie d'esame**

**Domanda 1.A)**

Il candidato illustri sinteticamente il flusso di progetto firmware e software, nell'ambiente di sviluppo di sua scelta, per l'implementazione di un endpoint PCIe, Gen3 1x per esempio, in un dispositivo FPGA di sua scelta. L'interfaccia PCIe deve supportare l'accesso da parte dell'host PC ad una memoria dual port anch'essa implementata in FPGA utilizzata per lo scambio di dati di controllo e stato (slow control) di un apparato sperimentale.

**Domanda 2.A)**

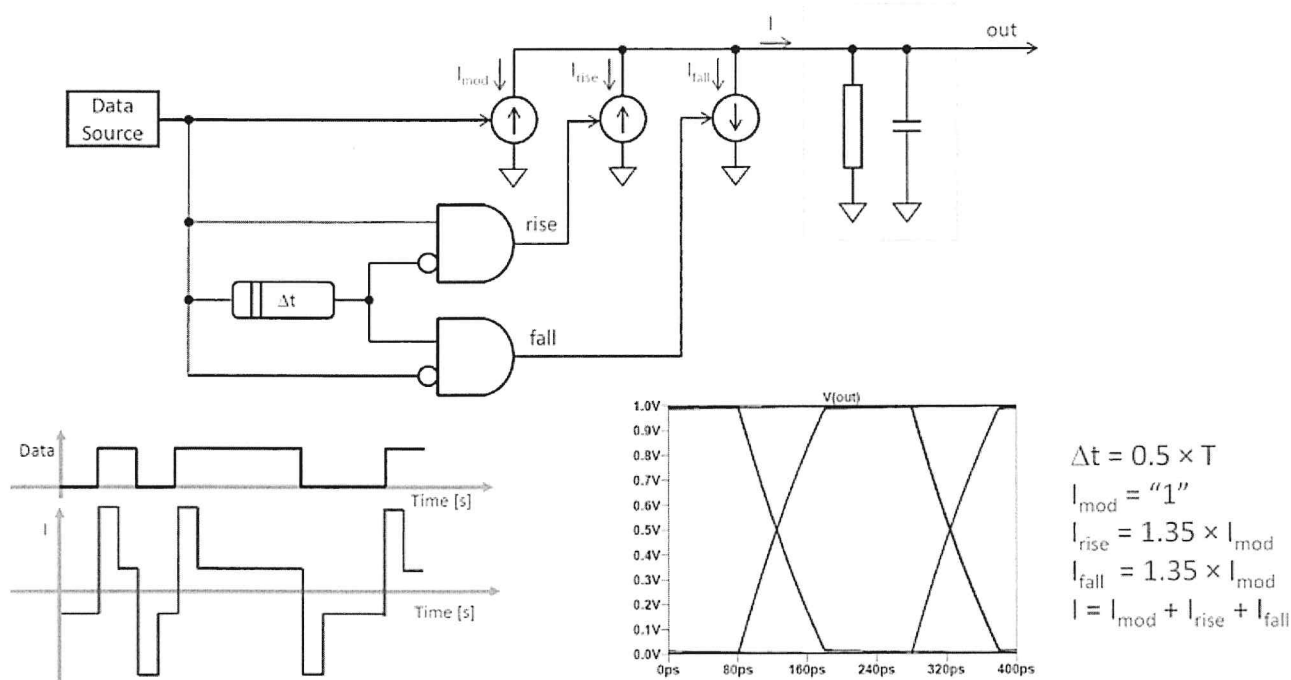
Si chiede al candidato di illustrare gli effetti che la radiazione ionizzante di fondo in cui operano i rivelatori degli esperimenti di Fisica delle Alte Energie avrebbe sui dispositivi FPGA con memoria di configurazione SRAM based che dovessero essere installati a bordo dei rivelatori stessi. Il candidato illustri anche tecniche e risorse impiegabili per la mitigazione degli effetti suddetti

**Domanda 3.A)**

La seguente figura illustra lo schema di principio di un circuito di pre-enfasi presente nella sezione del trasmettitore differenziale di una delle uscite seriali dell'ASIC IpGBT sviluppato presso il CERN per la raccolta dati dai rivelatori di front end degli esperimenti di LHC.

Si chiede al candidato di illustrare sinteticamente quale sia l'obiettivo perseguito dai progettisti con l'applicazione della pre-enfasi nella formazione del segnale di uscita del trasmettitore accoppiato ad una linea di comunicazione non ideale.

16/9  
16/9  
16/9  
16/9



### Domanda 1.B)

Il candidato supponga di dover implementare in FPGA un modulo ricevitore per un canale di comunicazione seriale sincrono non codificato pilotato da un ASIC di front end a cui il dispositivo FPGA invia copia del proprio segnale di temporizzazione interno, CLK, caratterizzato da una frequenza di commutazione  $f_{CLK}$  pari a 320MHz.

Il dispositivo FPGA campiona quindi con il segnale CLK stesso, o una sua copia, il dato seriale trasmesso dall'ASIC per deserializzarlo ma deve prevedere un sistema che consenta di variare la fase relativa del dato seriale rispetto al segnale di campionamento in modo da garantire un adeguato setup time per evitare l'insorgere di metastabilità del segnale campionato.

Si chiede al candidato di illustrare sinteticamente come realizzerebbe, utilizzando le risorse presenti in un dispositivo FPGA montato su scheda PCIe, il sistema di allineamento di fase sopra descritto e come imposterebbe il programma eseguito dall'host PC per il controllo del sistema.

### Domanda 2.B)

Si chiede al candidato di illustrare le tecniche e le risorse utilizzate per mitigare gli effetti degli eventi di tipo Single Event Upset (SEU) indotti dalla radiazione ionizzante di fondo in cui operano i rivelatori degli esperimenti di Fisica delle Alte Energie su circuiti sequenziali sincroni (come registri, macchine a stati finiti, etc.) realizzate in dispositivi FPGA installati a bordo dei rivelatori stessi.

### Domanda 3.B)

Si chiede al candidato di illustrare sinteticamente la natura ed il principio di funzionamento delle risorse presenti, in una FPGA dotata di multi-Gbps transceivers di sua preferenza, per l'ottimizzazione ed il monitoraggio della qualità della comunicazione seriale (RX e TX) realizzata mediante uno dei transceiver link stessi.

**Domanda 1.C)**

Il candidato illustri sinteticamente il flusso di progetto firmware e software, nell'ambiente di sviluppo di sua scelta, per l'implementazione di un endpoint PCIe, Gen2 1x per esempio, in un dispositivo FPGA di sua scelta. L'interfaccia PCIe deve consentire l'accesso da parte dell'host PC a due memorie di tipo FIFO dual clock, anch'esse implementate in FPGA, utilizzate per lo scambio di dati di controllo e stato (slow control) di un rivelatore.

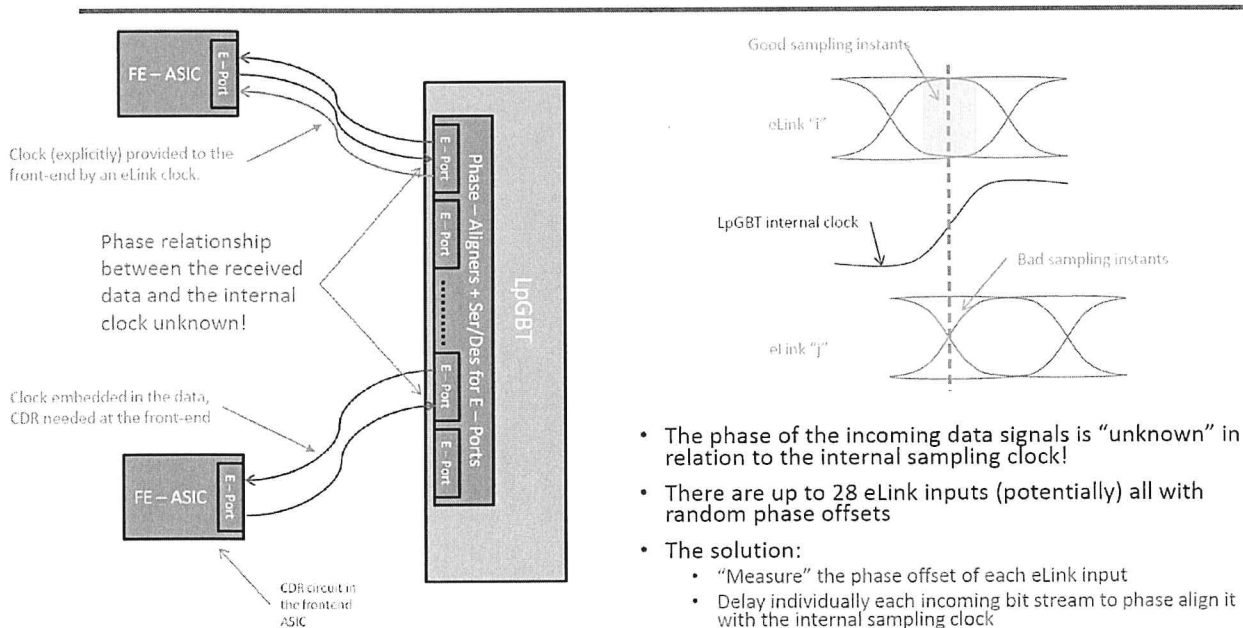
**Domanda 2.C)**

Si chiede al candidato di descrivere sinteticamente gli effetti indesiderati indotti dalla radiazione ionizzante di fondo nei dispositivi elettronici per acquisizione dati installati a bordo dei rivelatori di un tipico esperimento di Fisica delle Alte Energie e di illustrare sinteticamente come la mitigazione di tali effetti sia perseguita nel caso di ASICs (Application Specific Integrated Circuits) e nel caso di dispositivi FPGA con riguardo, in questo caso, anche alle differenti tecnologie di memoria di configurazione.

**Domanda 3.C)**

La seguente figura rappresenta la sezione di ingresso dell'ASIC IpGBT sviluppato presso il CERN per la raccolta dati dai rivelatori di front end degli esperimenti di LHC. Pur essendo tali dati sincroni con il clock di ricezione non è nota a priori la fase dei dati in relazione al clock, che supponiamo abbia una frequenza di 320MHz, ed è quindi previsto nell'ASIC un blocco di "Phase Alignment" per garantire che i dati vengano campionati con un tempo di setup ottimale. Si chiede al candidato di illustrare sinteticamente come procederebbe, supponendo di dover risolvere un analogo problema per un sistema di acquisizione basato su scheda PCIe con FPGA di sua scelta a bordo, per implementare il blocco di allineamento di fase e come imposterebbe il relativo programma eseguito dall'host PC per il controllo del blocco.

Up eLink – Phase Alignment



*Handwritten signatures and initials on the right margin.*

### Quesiti inerenti l'accertamento delle nozioni di informatica connesse all'utilizzo di personal computer

#### Domanda 4.A)

Il candidato descriva le funzioni della CPU installata in un Personal Computer e le sue principali caratteristiche.

#### Domanda 4.B)

Il candidato descriva la funzione a cui è adibita la memoria di massa installata in un Personal Computer e le sue principali caratteristiche.

#### Domanda 4.C)

Il candidato descriva le caratteristiche principali della memoria dinamica installata in un Personal Computer.

### Quesiti inerenti l'accertamento della conoscenza della lingua inglese

#### Domanda 5.A)

Il candidato legga ad alta voce e traduca il seguente testo:

##### *“Identification and routing*

Since PCIe is essentially a packet network, with the possibility of switches on the way, these switches need to know where to send each TLP. There are three routing methods: By address, by ID and implicit. By address routing is applied for Memory and I/O Requests (read and write). Implicit routing is used only for certain message TLPs, such as broadcasts from Root Complex and messages that always go to the Root Complex. All other TLPs are routed by ID.”

Il testo e' tratto dalla pagina web: <http://xillybus.com/tutorials/pci-express-tlp-pcie-primer-tutorial-guide-1>.

#### Domanda 5.B)

Il candidato legga ad alta voce e traduca il seguente testo:

##### *“I/O Requests*

The PCIe bus supports I/O operations only for the sake of backward compatibility, and strongly recommends not to use I/O TLPs in new designs. One of the reasons is that both read and write requests in I/O space are non-Posted, so the Requester is forced to wait for a completion on write operations as well. Another issue is that I/O operations only take 32-bit addresses, while the PCIe spec endorses 64-bit support in general.”

Il testo e' tratto dalla pagina web: <http://xillybus.com/tutorials/pci-express-tlp-pcie-primer-tutorial-guide-1>.

#### Domanda 5.C)

Il candidato legga ad alta voce e traduca il seguente testo:

##### *“PCI express is not a bus*

The first thing to realize about PCI express (PCIe henceforth), is that it's not PCI-X, or any other PCI version. The previous PCI versions, PCI-X included, are true buses: There are parallel rails of copper physically reaching several slots for peripheral cards. PCIe is more like a network, with each card connected to a network switch through a dedicated set of wires. Exactly like a local Ethernet network, each card has its own physical connection to the switch fabric.”

Il testo e' tratto dalla pagina web: <http://xillybus.com/tutorials/pci-express-tlp-pcie-primer-tutorial-guide-1>.



gjt  
S  
L  
M