

**BANDO N. 24296/2022**  
**PROVA SCRITTA 1**

1. Descrivere i principali componenti logici di una FPGA.
2. Descrivere tecniche di “timing closure” per la sintesi di circuiti sincroni con linguaggi ad alto livello, con particolare riferimento allo sviluppo di firmware per FPGA.
3. Implementare la seguente logica digitale sincrona con codice VHDL o Verilog:
  - logica di controllo dell'accensione di 8 LED;
  - gli 8 led si accendono in modo da rappresentare un numero binario a 8-bit;
  - il dato a 8-bit è l'uscita della logica;
  - il numero binario si deve incrementare di una unità ogni secondo;
  - il conteggio deve avvenire tra i valori 0 e 200;
  - la logica utilizza un segnale di clock a 100 MHz come riferimento temporale;
  - un impulso di reset in ingresso, sincrono con il clock a 100 MHz, causa il caricamento di un valore predefinito a 8-bit (il valore predefinito a 8-bit è un ingresso della logica, si assuma che il valore predefinito è  $\leq 200$ ).

su  
RV  
sp

**BANDO N. 24296/2022**  
**PROVA SCRITTA 2**

1. Descrivere generalità, funzionamento e utilizzo dei serializzatori/deserializzatori ad alta velocità delle FPGA.
2. Descrivere le diverse tipologie di memorie delle FPGA e il loro utilizzo, con particolare riferimento allo sviluppo di firmware.
3. Implementare la seguente logica digitale sincrona con codice VHDL o Verilog:
  - logica di deserializzazione di un segnale digitale seriale (1-bit in ingresso, 10-bit in uscita);
  - il segnale seriale in ingresso è sincrono con un clock a 100 MHz (cambia ogni 10 ns);
  - la logica utilizza un segnale di clock a 100 MHz come riferimento temporale;
  - il segnale in ingresso viene deserializzato e inviata in uscita una parola di 10-bit ogni 100 ns;
  - l'invio dei dati in uscita inizia solo dopo aver deserializzato e individuato la parola chiave "0010111100" (si assuma che la trasmissione seriale in ingresso preveda che i bit meno significativi vengano inviati prima di quelli più significativi).

~~RV~~  
RV  
RV

**BANDO N. 24296/2022**  
**PROVA SCRITTA 3**

1. Descrivere il flusso di realizzazione del firmware di una FPGA dal codice HDL alla programmazione del dispositivo.
2. Descrivere i metodi di implementazione e codifica di automi a stati finiti con linguaggi ad alto livello, con particolare riferimento allo sviluppo di firmware per FPGA.
3. Implementare la seguente logica digitale sincrona con codice VHDL o Verilog:
  - logica di serializzazione di un dato digitale di 10-bit (10-bit in ingresso, 1-bit in uscita);
  - il dato da 10-bit in ingresso è sincrono con un clock a 100 MHz (cambia ogni 10 ns);
  - la logica utilizza un segnale di clock a 100 MHz come riferimento temporale;
  - il dato in ingresso viene serializzato e inviato in uscita a 100 Mb/s;
  - un ulteriore segnale in ingresso di 4-bit permette di ritardare in passi di 10 ns l'inizio della trasmissione in uscita secondo la seguente tabella:
    - "0000" : ritardo = 0 ns
    - "0001" : ritardo = 10 ns
    - "0010" : ritardo = 20 ns
    - ...
    - "1001" : ritardo = 90 ns
    - i valori da "1010" a "1111" sono ignorati

SM  
RV  
up

SECONDO VERBALE DI ESPLETAMENTO DEL CONCORSO PER TITOLI ED ESAMI DI CUI AL BANDO N. 24296/2022 PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE, PER ASSUNZIONE A TEMPO INDETERMINATO PRESSO LA SEZIONE DI ROMA DELL'INFN.

**ANALISI DI ETA' E GENERE DEI CANDIDATI CHE HANNO PARTECIPATO ALLA PROVA SCRITTA**

Sesso	20-24	25-29	30-34	35-39	40-44	45-49	50-54	55-59	>=60	Totale
F					1					1
M			3	1						4
Totale										
F/(F+M) %			0	0	100%					20%

