

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

PROVA SCRITTA

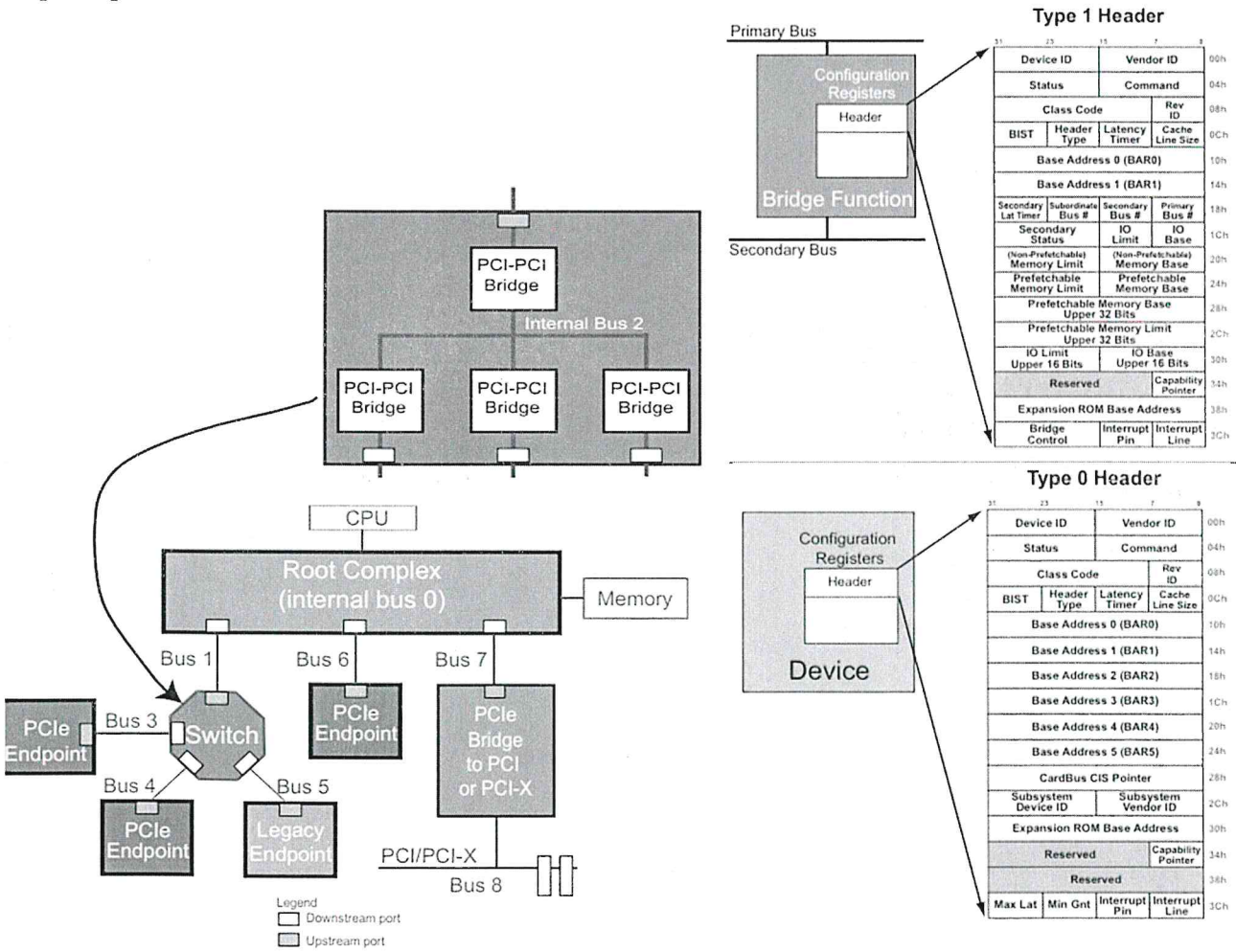
07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 2

Alla risposta a ciascun tema verrà assegnato un punteggio di max. 50 punti sui 200 disponibili per la valutazione della prova scritta.

Tema 1)

Il candidato illustri succintamente, con il supporto del diagramma a blocchi rappresentato in figura, i componenti di una tipica architettura PCI Express, le relative funzioni e il processo di enumerazione attraverso il quale il software di sistema identifica e mappa in memoria le risorse PCI Express presenti.



Handwritten signatures and initials on the right margin.

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

PROVA SCRITTA

07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 2

Tema 2)

Il candidato produca la descrizione, in VHDL o Verilog, di un modulo riconoscitore di sequenza con le seguenti caratteristiche:

- un ingresso di clock per la temporizzazione del modulo;
- un ingresso di reset, attivo basso;
- un ingresso parallelo "8bit_pattern_in" a cui viene presentato il pattern da riconoscere;
- un ingresso di "match_enable", attivo alto;
- un ingresso "serial_in" a 1 bit che viene campionato ad una frequenza corrispondente a quella del segnale di clock;
- un'uscita "match_found", attiva alta, che si attiva quando la sequenza degli ultimi 8 campioni dell'ingresso "serial_in" (LSB first) corrisponde al pattern a 8 bit presentato all'ingresso "8bit_pattern_in"

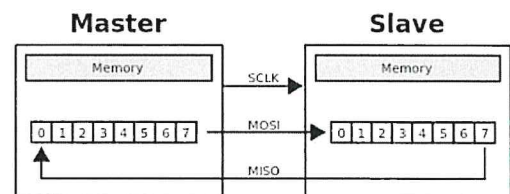
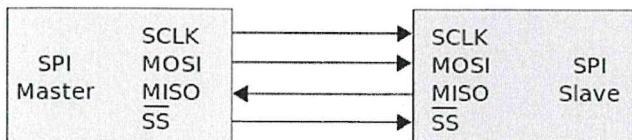
Tema 3)

Un ASIC (Application Specific Integrated Circuit), progettato per l'acquisizione "on-detector" dei segnali da un rivelatore di radiazione, deve essere collegato ad una scheda di controllo e acquisizione "off-detector" basata su un dispositivo FPGA (Field Programmable Gate Array) in grado di implementare:

- un bus SPI (Serial Peripheral Interface) (*) per la configurazione ed il monitoraggio dell'ASIC basato su un livello elettrico di segnalazione single-ended a 2.5V;
- due link seriali veloci di trasmissione dati in codifica 8b/10b pilotati dall'ASIC e basati su un livello elettrico di segnalazione differenziale di ampiezza pari a 600mV di picco su un carico da 100Ω, operante ad un bit rate di 3.2Gbps e accoppiato in AC.
- un'interfaccia PCIe Gen3 4x per la ricezione dall'host PC dei comandi e dei dati necessari alla configurazione dell'ASIC e per il trasferimento all'host PC dei dati ricevuti dall'ASIC.

Il candidato illustri succintamente le caratteristiche di un dispositivo FPGA che impiegherebbe nella scheda "off-detector" per l'implementazione delle funzioni sopra descritte.

(*) Richiamo: il bus SPI è un bus seriale sincrono temporizzato dal segnale SCLK che permette il trasferimento dati in full duplex tra il modulo "Master" ed il modulo "Slave" abilitato dal segnale /SS (Slave Select)



Handwritten signatures and initials:
F...
...
...

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

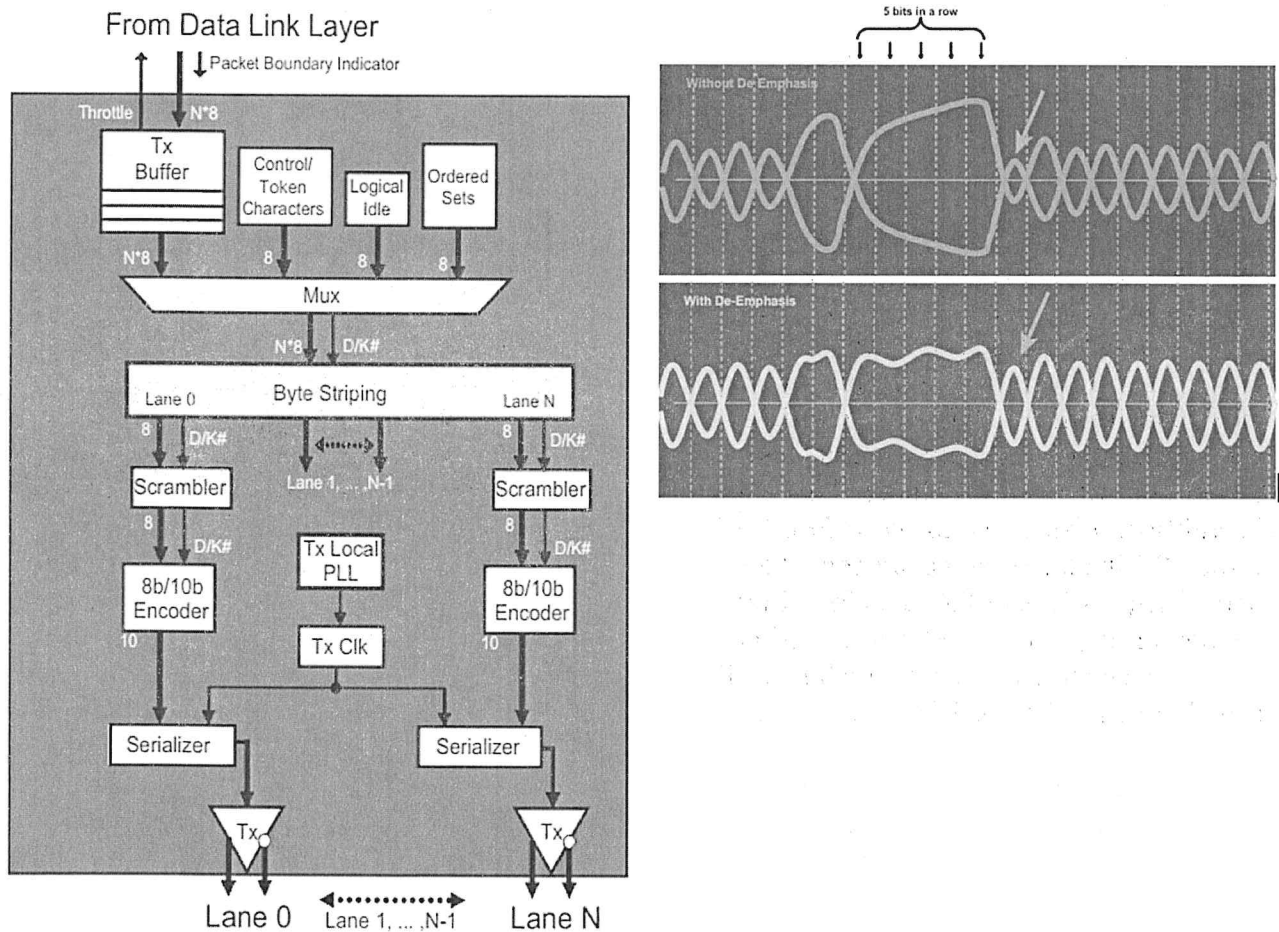
PROVA SCRITTA

07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 2

Tema 4)

Il candidato illustri sommariamente le funzioni dei vari blocchi rappresentati nel diagramma sulla sinistra della seguente figura, che descrive la sezione “Trasmittitore” del layer fisico di un dispositivo PCIe in versione Gen1(2.5GT/s) o Gen2(5GT/s). Il candidato spieghi sinteticamente la ragione per cui lo standard prevede che il driver differenziale di uscita (blocco Tx) implementi la funzione di de-emfasi il cui effetto è visibile nell’immagine riportata sul lato destro della figura.



Handwritten signatures and initials on the right margin.

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

PROVA SCRITTA

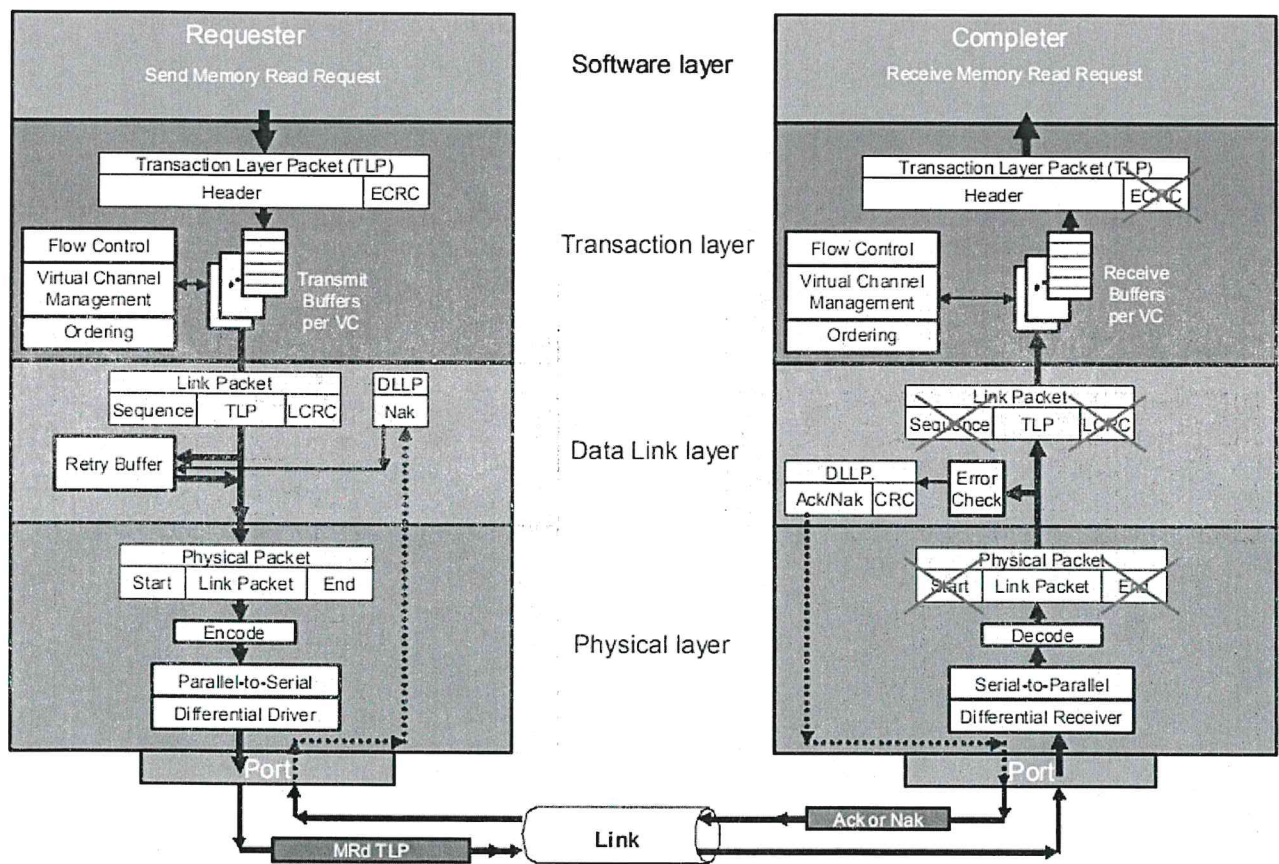
07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 3

Alla risposta a ciascun tema verrà assegnato un punteggio di max. 50 punti sui 200 disponibili per la valutazione della prova scritta.

Tema 1)

Il candidato illustri succintamente i passi attraverso cui si realizza, secondo il protocollo PCI Express, una transazione come la "Send Memory Read Request" a cui si riferisce la figura, descrivendo il contributo di ciascun layer del dispositivo Requester e del dispositivo Completer.



Handwritten notes and signatures on the right margin:
 1. A signature in blue ink.
 2. The letters "PPT" in blue ink.
 3. A signature in black ink.
 4. A signature in black ink.

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

PROVA SCRITTA

07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 3

Tema 2)

Il candidato produca la descrizione, in VHDL o Verilog, di un modulo serializzatore con le seguenti caratteristiche:

- un ingresso di clock per la temporizzazione del modulo;
- un ingresso di reset, attivo basso;
- un ingresso "parallel_in_load", attivo alto. Quando attivo questo ingresso provoca il caricamento parallelo del serializzatore con il byte presente all'ingresso "parallel_in";
- un ingresso "parallel_in" a 8 bit che viene caricato nel registro a scorrimento utilizzato per la serializzazione quando e' attivo l'ingresso "parallel_in_load";
- un'uscita "serial_out" collegata al bit piu' significativo (MSB) del registro a scorrimento utilizzato per la serializzazione.

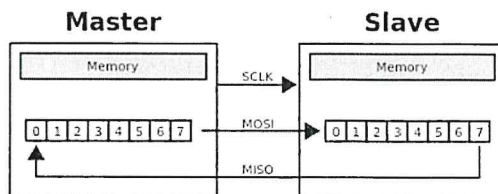
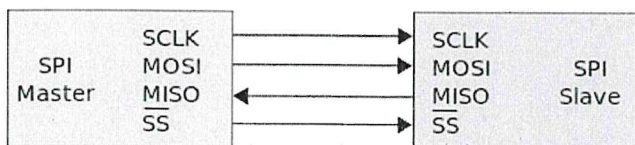
Tema 3)

Un ASIC (Application Specific Integrated Circuit), progettato per l'acquisizione "on-detector" dei segnali da un rivelatore di radiazione, deve essere collegato ad una scheda di controllo e acquisizione "off-detector" basata su un dispositivo FPGA (Field Programmable Gate Array) in grado di implementare:

- un bus SPI (Serial Peripheral Interface) (*) per la configurazione ed il monitoraggio dell'ASIC basato su un livello elettrico di segnalazione single-ended a 1.8V;
- due link seriali veloci di trasmissione dati in codifica 8b/10b pilotati dall'ASIC e basati su un livello elettrico di segnalazione differenziale di ampiezza pari a 600mV di picco su un carico da 100Ω, operante ad un bit rate di 2.5Gbps e accoppiato in AC.
- un'interfaccia PCIe Gen1 4x per la ricezione dall'host PC dei comandi e dei dati necessari alla configurazione dell'ASIC e per il trasferimento all'host PC dei dati ricevuti dall'ASIC.

Il candidato illustri succintamente le caratteristiche di un dispositivo FPGA che impiegherebbe nella scheda "off-detector" per l'implementazione delle funzioni sopra descritte.

(*) Richiamo: il bus SPI è un bus seriale sincrono temporizzato dal segnale SCLK che permette il trasferimento dati in full duplex tra il modulo "Master" ed il modulo "Slave" abilitato dal segnale /SS (Slave Select)



Handwritten signatures and initials on the right margin.

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

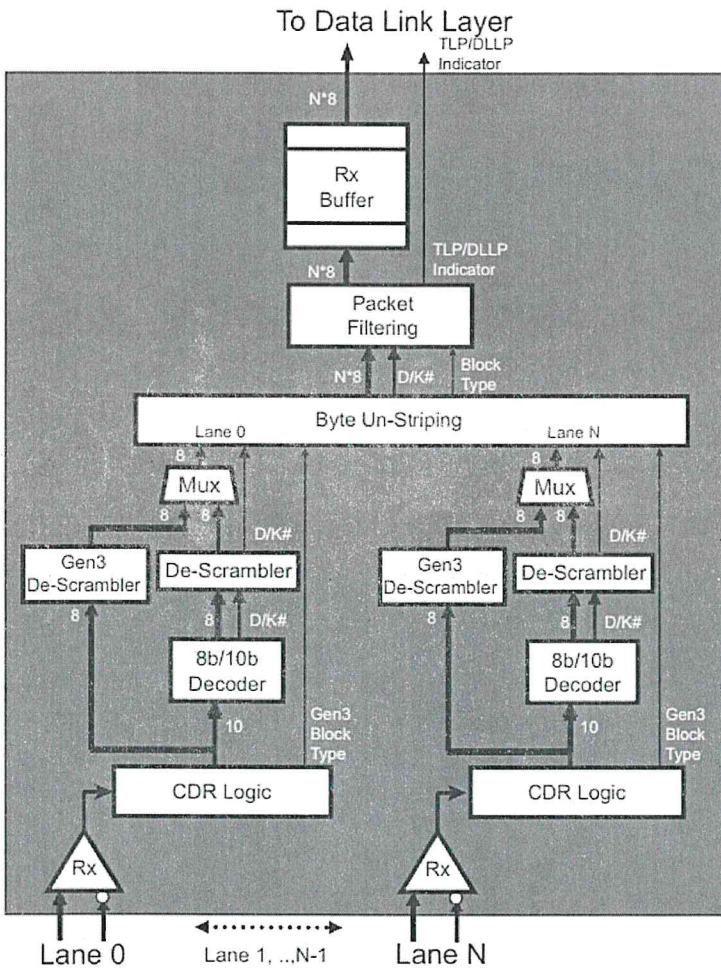
PROVA SCRITTA

07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 3

Tema 4)

Il candidato illustri sommariamente le funzioni dei vari blocchi rappresentati nella seguente figura, che descrive la sezione “Ricevitore” del layer fisico di un dispositivo PCIe in versione Gen3 (8GT/s).



[Handwritten signatures and marks on the right side of the page]



CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

PROVA SCRITTA

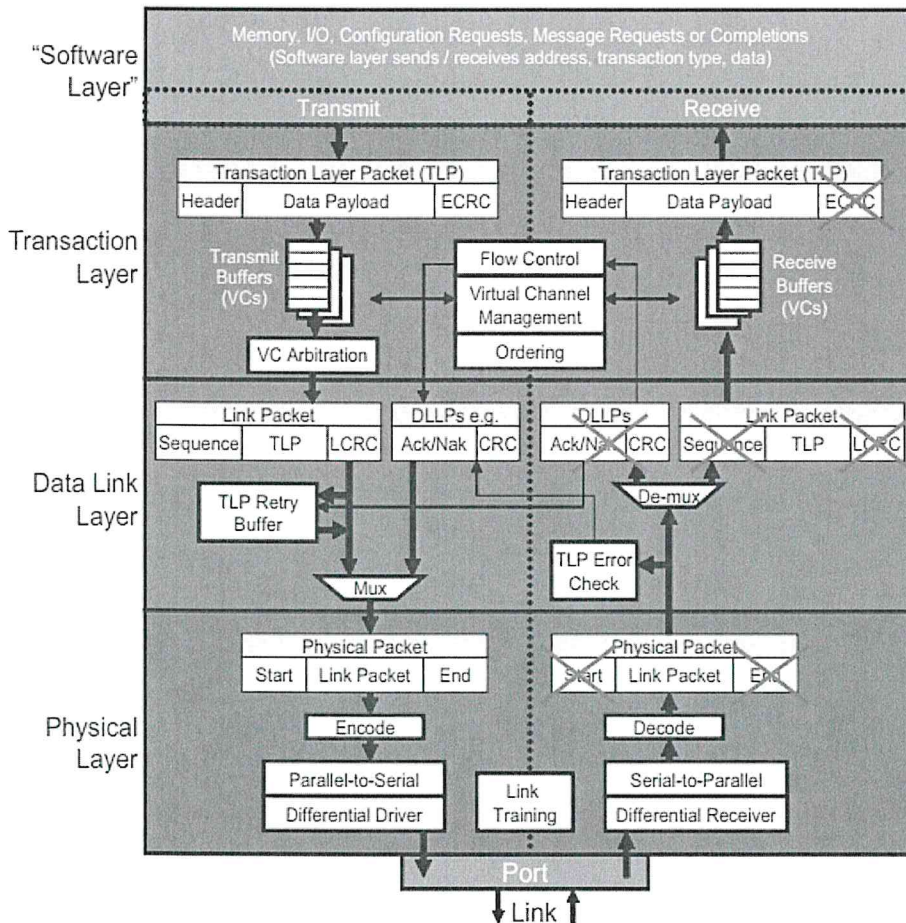
07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 1

Alla risposta a ciascun tema verrà assegnato un punteggio di max. 50 punti sui 200 disponibili per la valutazione della prova scritta.

Tema 1)

Il candidato illustri, con il supporto del diagramma a blocchi rappresentato in figura, le caratteristiche salienti dell'architettura a layer di un dispositivo conforme allo standard PCI Express e le funzioni dei principali blocchi ivi rappresentati.



Handwritten signatures and marks on the right margin.

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

PROVA SCRITTA

07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 1

Tema 2)

Il candidato produca la descrizione, in VHDL o Verilog, di un modulo contatore con le seguenti caratteristiche:

- uscita di conteggio con range da 0 a 1023 con saturazione e codifica in formato binario senza segno;
- un ingresso di clock per la temporizzazione del modulo;
- un ingresso di count enable, attivo alto;
- un ingresso "UP_nDOWN" per la selezione della direzione di conteggio: direzione UP se "UP_nDOWN"='1', DOWN se "UP_nDOWN"='0'.
- un ingresso di reset, attivo basso, che porta, quando attivo, l'uscita a 0 in caso di direzione di conteggio UP oppure a 1023 in caso contrario.

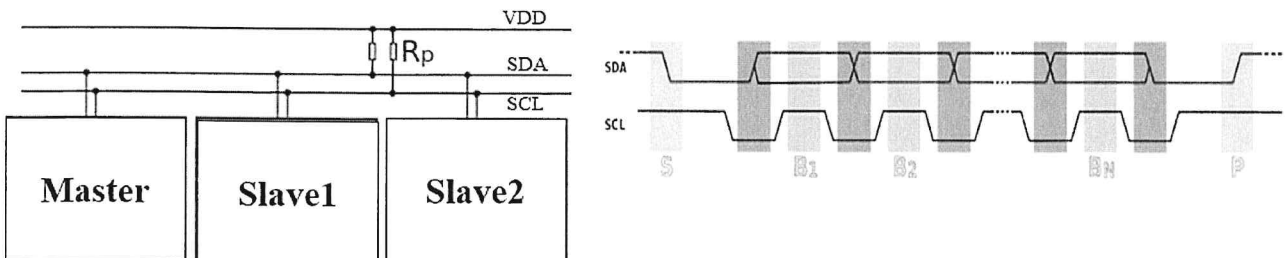
Tema 3)

Un ASIC (Application Specific Integrated Circuit), progettato per l'acquisizione "on-detector" dei segnali da un rivelatore di radiazione, deve essere collegato ad una scheda di controllo e acquisizione "off-detector" basata su un dispositivo FPGA (Field Programmable Gate Array) in grado di implementare:

- un bus I2C (Inter Integrated Circuit) (*) per la configurazione ed il monitoraggio dell'ASIC (I2C Slave) da parte della FPGA (I2C Master) basato su un livello elettrico di segnalazione single-ended a 2.5V;
- un link seriale veloce di trasmissione dati in codifica 8b/10b pilotato dall'ASIC e basato su un livello elettrico di segnalazione differenziale di ampiezza pari a 600mV di picco su un carico da 100Ω, operante ad un bit rate di 3.2Gbps e accoppiato in AC.
- un'interfaccia PCIe Gen2 4x per la ricezione dall'host PC dei comandi e dei dati necessari alla configurazione dell'ASIC e per il trasferimento all'host PC dei dati ricevuti dall'ASIC.

Il candidato illustri succintamente le caratteristiche di un dispositivo FPGA che impiegherebbe nella scheda "off-detector" per l'implementazione delle funzioni sopra descritte.

(*) Richiamo: il bus I2C è un bus seriale sincrono temporizzato dal segnale SCL che permette il trasferimento dati tra il modulo "Master" ed il modulo "Slave" indirizzato dal Master



A livello hardware la linea SDA, in particolare, è di tipo "open-drain" e viene pilotata a turno dal Master e dallo Slave a seconda della direzione del trasferimento dei dati nel corso di una determinata transazione.

Handwritten signatures and initials on the right margin.

CONCORSO PER TITOLI ED ESAMI PER UN POSTO PER IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO PRESSO LA SEZIONE DI FERRARA DELL'INFN (RIFERIMENTO BANDO 24415/2022)

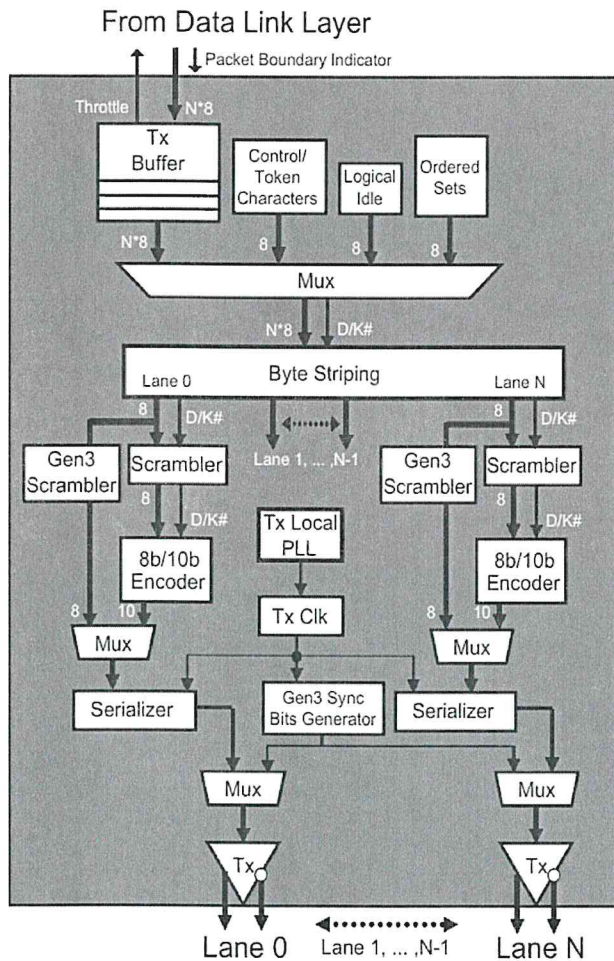
PROVA SCRITTA

07 SETTEMBRE 2022 – ORE 10:00

TESTO N. 1

Tema 4)

Il candidato illustri sommariamente le funzioni dei vari blocchi rappresentati nella seguente figura, che descrive la sezione “Trasmittitore” del layer fisico di un dispositivo PCIe in versione Gen3 (8GT/s).



Handwritten notes and signatures on the right margin, including 'for', 'OK', and 'P4'.