

## DOMANDE CONCORSO PUBBLICO PER TITOLI ED ESAMI PER DUE POSTI CON IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO - PROVA SCRITTA - BUSTA 1

- 1) (5 PUNTI)  
Si considerino 3 filtri RC a singolo polo. Tutti i filtri sono realizzati con una capacità da 1 pF, mentre le resistenze valgono, rispettivamente, 1 M $\Omega$ , 50  $\Omega$  e 100 k $\Omega$ . Quale dei tre filtri avrà un rumore di uscita maggiore? Motivare la risposta.
- 2) (5 PUNTI)  
In quale regione di inversione devono funzionare i transistor di uno specchio di corrente fabbricato in tecnologia CMOS per minimizzare il mismatch tra i due dispositivi?
- 3) (5 PUNTI)  
Che cosa si intende per tecnica di compensazione "nested-Miller"?
- 4) (5 PUNTI)  
Un amplificatore di transresistenza è formato da un amplificatore di tensione con guadagno 500 e da una resistenza di retroazione di 200 k $\Omega$ . Quanto vale la resistenza di ingresso del circuito? Si trascuri l'eventuale resistenza di uscita dell'amplificatore di tensione.
- 5) (5 PUNTI)  
Un CSA è seguito da una rete di compensazione polo-zero. La resistenza di feedback del CSA è di 2 M $\Omega$  e la capacità di feedback di 250 fF. Dimensionare i parametri della rete di compensazione polo-zero in modo che il segnale in corrente all'uscita della rete stessa sia dieci volte il segnale fornito in ingresso al CSA.
- 6) (5 PUNTI)  
Per testare un ADC viene fornito in ingresso un segnale sinusoidale. Che relazione deve sussistere tra la frequenza di campionamento del convertitore e la frequenza del segnale sinusoidale utilizzato? Motivare la risposta.
- 7) (5 PUNTI)  
Durante i test di un amplificatore di front-end è stato misurato un guadagno di 0.1 V/fC e un rumore in uscita FWHM di 4 mV. Quanto vale l'ENC?
- 8) (5 PUNTI)  
Quale caratteristica deve possedere un protocollo per la trasmissione seriale di dati digitali affinché la sorgente e il ricevitore possano essere accoppiati in AC?
- 9) (5 PUNTI)  
Illustrare sinteticamente una procedura di test per misurare lo slew rate di un buffer a guadagno unitario.
- 10) (5 PUNTI)  
Una FPGA deve essere utilizzata in ambiente criogenico a 77 K. Ci si aspetta che la potenza statica del componente sia inferiore o superiore al valore misurato a temperatura ambiente? Motivare sinteticamente la risposta.
- 11) (5 PUNTI)  
Discutere il consumo dinamico dovuto alle correnti di cortocircuito di una porta logica CMOS.
- 12) (5 PUNTI)  
Spiegare sinteticamente il concetto di "distanza di Hamming".
- 13) (5 PUNTI)  
Che cosa si intende per "High Level Synthesis"?

---

14) (5 PUNTI)  
Illustrare sinteticamente il concetto di derandomizzazione di un trigger.

---

15) (5 PUNTI)  
Un blocco digitale da implementare su FPGA è descritto dal codice proposto nell'immagine. Il codice non viene sintetizzato dal software dedicato. Spiegare a cosa è dovuto l'errore di sintesi e descrivere come poterlo risolvere senza modificare il codice proposto.

```
module digital_block_1 (  
    output oDat,  
    input iOscEn, iOutEn);  
    wire wdat;  
  
    assign wdat = iOscEn ? !wdat: 0;  
    assign oDat = iOutEn ? !wdat: 0;  
endmodule
```

---

16) (75 PUNTI)  
È data una tecnologia CMOS con lunghezza minima del canale di 130 nm.  
Nel processo selezionato, sono disponibili transistor con un ossido da 2 nm e con tensioni di soglia di 0.3 V. Il parametro  $\mu C$  vale  $400 \mu A/V^2$  per i transistor NMOS e  $80 \mu A/V^2$  per i PMOS.  
Sono inoltre disponibili transistor con ossido spesso 7 nm. Per questi transistor, il  $\mu C$  vale  $130 \mu A/V^2$  per gli NMOS e  $60 \mu A/V^2$  per i PMOS. La tensione di soglia vale 0.7 V.

Discutere il progetto di uno stadio di uscita a guadagno unitario che rispetti le seguenti caratteristiche:

- sia in grado di fornire ad un carico di  $50 \Omega$  un segnale single-ended di ampiezza massima di 0.6 V. La baseline in uscita in assenza di segnale è di 0.2 V.
- la potenza statica sia inferiore ai 3 mW.

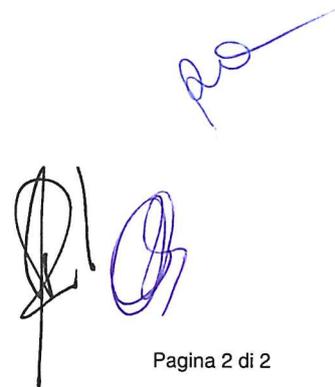
---

17) (75 PUNTI)  
Elaborare un piano di test per un ADC avente le seguenti performance attese dalle simulazioni: ENOB di 9.3 bit e frequenza di campionamento 50 MSPS. Ingresso differenziale di 2 V picco-picco. L'ADC ha I/O digitali CMOS da 3.3 V.

---

18) (75 PUNTI)  
Discutere il progetto di un TDC con un errore di quantizzazione di 20 ps rms, un range dinamico di 10 bit, una rate capability di 1 MHz. A scelta del candidato, l'implementazione può essere discussa utilizzando la tecnologia CMOS con le caratteristiche tecnologiche riportate nel quesito 16, oppure può essere basata su una FPGA.

SA



Pagina 2 di 2

## DOMANDE CONGORSO PUBBLICO PER TITOLI ED ESAMI PER DUE POSTI CON IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO - PROVA SCRITTA - BUSTA 2

1) (5 PUNTI)  
Leggere la domanda riportata nell'immagine e rispondere

1. Identificare la regione di funzionamento di un dispositivo caratterizzato dalla relazione sottoriportata per  $V_{SD} = 10$  mV e  $V_{SD} = 120$  mV, motivando la risposta.

$$I_{SD} = 2n\mu_p C_{ox} \phi_T^2 \frac{W}{L} e^{\frac{V_{SG} - |V_{THP}|}{n\phi_T}} \left( 1 - e^{-\frac{V_{SD}}{\phi_T}} \right)$$

2) (5 PUNTI)  
Un amplificatore operazionale ha un guadagno, ad anello aperto e a bassa frequenza, di 80 dB e due poli. Il primo polo si trova ad una frequenza di 1 kHz ed il secondo ad una frequenza di 100 kHz. Dire se l'amplificatore è stabile nella configurazione voltage follower.

3) (5 PUNTI)  
Un transistor MOS di tipo N è implementato in una tecnologia CMOS 28 nm, con  $W = 60$  nm ed  $L = 28$  nm. La capacità dell'ossido di gate per unità di area è di  $0.01$  F/m<sup>2</sup>. Se il transistor lavora in saturazione con un overdrive di  $0.5$  V, quanti elettroni sono presenti nel canale del dispositivo in condizioni stazionarie?

4) (5 PUNTI)  
La differenza, dovuta al solo mismatch random, misurata tra i valori delle tensioni di soglia tra due dispositivi MOS fabbricati sullo stesso chip segue un andamento gaussiano con valor medio zero e  $\sigma$  di 5 mV. Quanto ci si aspetta che valga  $\sigma$  per un'altra coppia di transistor, fabbricati sullo stesso wafer ad una distanza di 200 micrometri ed aventi un'area quadrupla rispetto ai precedenti?

5) (5 PUNTI)  
Un amplificatore di front-end ha un peaking time di 50 ns. Come deve essere ridimensionato il peaking time affinché l'ENC r.m.s dovuto al rumore parallelo si dimezzi?

6) (5 PUNTI)  
In un sistema di test, è necessario scegliere un ADC per caratterizzare un amplificatore di front-end. L'amplificatore ha un segnale massimo di uscita di 1 V e un rumore r.m.s. di 2 mV. Che risoluzione deve avere l'ADC affinché il suo rumore di quantizzazione non aumenti il rumore complessivo di più del 10%?

7) (5 PUNTI)  
Nell'interconnessione tra un sistema mixed-signal e la strumentazione digitale di acquisizione è importante che gli I/O digitali:

- a) Utilizzino linee differenziali
- b) Utilizzino linee terminate a 50 Ohm.

Scegliere e motivare la risposta corretta.

8) (5 PUNTI)  
Che cosa si intende per load regulation?

9) (5 PUNTI)  
Un TDC ha una risoluzione di 10 bit su un fondo scala di 5 ns. Quale sarà la risoluzione equivalente espressa in numero di bit per un segnale di durata pari a 500 ps che deve essere misurata dal TDC?

20  
SB

---

10) (5 PUNTI)  
Quale diagramma si usa per rappresentare le prestazioni di un link seriale di trasmissione dati?

---

11) (5 PUNTI)  
Descrivere il consumo statico di una porta logica CMOS.

---

12) (5 PUNTI)  
Che cosa si intende per "all-digital PLL"?

---

13) (5 PUNTI)  
Dato il codice visibile nell'immagine, identificare il linguaggio di descrizione dell'hardware usato e la funzionalità del circuito.

```
module test (  
    Clk,  
    reset,  
    UoD,  
    Count  
);  
  
input Clk, reset, UoD;  
output [3:0] Count;  
reg [3:0] Count=0;  
  
always @ (posedge (Clk) or posedge (reset))  
begin  
    if (reset == 1)  
        Count <= 0;  
    else  
        if (UoD == 1)  
            if (Count == 15)  
                Count <= 0;  
            else  
                Count <= Count + 1;  
        else  
            if (Count == 0)  
                Count <= 15;  
            else  
                Count <= Count - 1;  
    end  
endmodule
```

---

14) (5 PUNTI)  
Che cosa si intende per "antifuse FPGA technology"?

---

15) (5 PUNTI)  
Che cosa è lo slotting e come può essere evitato?

SD



- 
- 16) (75 PUNTI)  
È data una tecnologia CMOS con lunghezza minima del canale di 130 nm.  
Nel processo selezionato, sono disponibili transistor con un ossido da 2 nm e con tensioni di soglia di 0.3 V.  
Il parametro  $\mu C$  vale  $400 \mu A/V^2$  per i transistor NMOS e  $80 \mu A/V^2$  per i PMOS.  
Sono inoltre disponibili transistor con ossido spesso 7 nm. Per questi transistor, il  $\mu C$  vale  $130 \mu A/V^2$  per gli NMOS e  $60 \mu A/V^2$  per i PMOS. La tensione di soglia vale 0.7 V.

Discutere il progetto, in questa tecnologia, di un trasmettitore seriale di dati avente le seguenti caratteristiche:

- trasmissione via cavo, per un range massimo garantito di 5 m;
- Common mode di 1.2 V;
- Uscita differenziale;
- Massimo bit rate 1 Gbit/s.

- 
- 17) (75 PUNTI)  
Un chip funziona con una corrente di polarizzazione compresa tra 100  $\mu A$  ed 1 mA. La corrente ha verso entrante verso il D.U.T. La tensione misurata sulla porta del D.U.T. in cui si applica la corrente di polarizzazione varia da 250 mV quando la corrente di bias è di 100  $\mu A$  a 730 mV quando la corrente di bias è di 1 mA. Discutere il progetto di un circuito che, sulla scheda di test, possa fornire la corrente di bias su tutto il range richiesto, con un errore massimo di 10  $\mu A$  nell'intervallo di interesse.

- 
- 18) (75 PUNTI)  
Discutere le principali problematiche legate agli effetti di dose totale nei circuiti digitali.

## DOMANDE CONCORSO PUBBLICO PER TITOLI ED ESAMI PER DUE POSTI CON IL PROFILO PROFESSIONALE DI TECNOLOGO DI III LIVELLO PROFESSIONALE CON CONTRATTO DI LAVORO A TEMPO INDETERMINATO - PROVA SCRITTA - BUSTA 3

1) (5 PUNTI)  
Tre transistor MOS di tipo N lavorano con una tensione di overdrive di 150 mV ed una tensione tra drain e source rispettivamente di 100 mV, 400 mV, e 200 mV. Quale dei tre avrà conduttanza di uscita minore? Motivare sinteticamente la risposta.

2) (5 PUNTI)  
Qual è la principale conseguenza di eventuali mismatch tra i due rami di un amplificatore differenziale?

3) (5 PUNTI)  
In che cosa consiste la tecnica del regulated-gate cascode?

4) (5 PUNTI)  
Sono dati due shaper, entrambi con un peaking time di 100 ns. Il primo utilizza una topologia CR-RC ed il secondo una topologia CR-RC4. Quale dei due potrà lavorare con un rate di segnali di ingresso maggiore?

5) (5 PUNTI)  
In quale/i regione/i di inversione del MOS è valida la caratteristica proposta nell'immagine?

$$I_{DS} = 2n\mu_n C_{ox} \frac{W}{L} \phi_T^2 \left[ \ln \left( 1 + e^{\frac{V_{GS} - V_{TH}}{2n\phi_T}} \right) \right]^2$$

6) (5 PUNTI)  
Si deve caratterizzare un ADC a 10 bit con una frequenza di campionamento di 40 MSPS. Qual è il massimo jitter che può essere tollerato sulla sorgente di clock usata nel testing?

7) (5 PUNTI)  
Illustrare il concetto di line regulation.

8) (5 PUNTI)  
Si deve progettare una scheda di test per un ASIC mixed-signal. Quali delle seguenti due scelte è più opportuna:  
A) La scheda ha una massa digitale ed una massa analogica completamente separate.  
B) Le masse digitali ed analogiche sono unite in un solo punto attraverso un induttore.  
Motivare sinteticamente la risposta.

9) (5 PUNTI)  
In un front-end binario un amplificatore è seguito da un discriminatore e solo l'uscita di quest'ultimo è accessibile dall'esterno. Con che procedura di test è possibile ricostruire, almeno approssimativamente, la risposta all'impulso dell'amplificatore?

10) (5 PUNTI)  
Quali sono le differenze essenziali tra uno Scalar network analyzer ed un Vector network analyzer?

11) (5 PUNTI)  
Discutere il consumo dinamico di una porta logica CMOS.



12) (5 PUNTI)  
Definire sinteticamente che cosa sono il set-up time, l'hold time e la metastabilità in un circuito digitale.

13) (5 PUNTI)  
Una tecnologia CMOS 130 nm offre tre librerie di standard cells, configurate come segue:  
- Libreria A, transistor con tensione di soglia di 0.4 V.  
- Libreria B, transistor con tensione di soglia di 0.3 V.  
- Libreria C, transistor con tensione di soglia di 0.2 V.  
Le standard cells sono per il resto identiche per le tre librerie. Si deve implementare un serializzatore custom da 120 Mbit/s ed è importante minimizzare la potenza. Quale libreria dovrà essere usata?

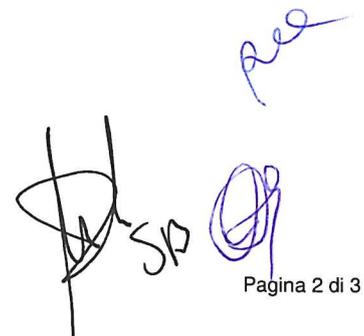
14) (5 PUNTI)  
Dato il codice visibile nell'immagine, identificare il linguaggio utilizzato e la funzionalità del circuito descritto.

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_unsigned.all;

entity circuit is
    port (
        cout :out std_logic_vector (7 downto 0);
        enable :in std_logic;
        clk :in std_logic;
        reset :in std_logic
    );
end entity;

architecture rtl of g is
    signal count :std_logic_vector (7 downto 0);
begin
    process (clk, reset) begin
        if (reset = '1') then
            count <= (others=>'0');
        elsif (rising_edge(clk)) then
            if (enable = '1') then
                count <= count + 1;
            end if;
        end if;
    end process;
    cout <= (count(7) &
        (count(7) xor count(6)) &
        (count(6) xor count(5)) &
        (count(5) xor count(4)) &
        (count(4) xor count(3)) &
        (count(3) xor count(2)) &
        (count(2) xor count(1)) &
        (count(1) xor count(0)) );
end architecture;
```

SP



Pagina 2 di 3

---

15) (5 PUNTI)  
Che cosa si intende per verifica formale di un circuito digitale?

---

16) (75 PUNTI)  
È data una tecnologia CMOS con lunghezza minima del canale di 130 nm.  
Nel processo selezionato, sono disponibili transistor con un ossido da 2 nm e con tensioni di soglia di 0.3 V.  
Il parametro  $\mu C$  vale  $400 \mu A/V^2$  per i transistor NMOS e  $80 \mu A/V^2$  per i PMOS.  
Sono inoltre disponibili transistor con ossido spesso 7 nm. Per questi transistor, il  $\mu C$  vale  $130 \mu A/V^2$  per gli NMOS e  $60 \mu A/V^2$  per i PMOS. La tensione di soglia vale 0.7 V.

Discutere il progetto in questa tecnologia di un trasmettitore seriale di dati avente le seguenti caratteristiche:

- Trasmissione via cavo, per un range massimo garantito di 30 cm;
- Common mode voltage di 0.2 V;
- Uscita differenziale con swing di +/- 200 mV.

---

17) (75 PUNTI)  
Un ASIC mixed-signal ha le seguenti caratteristiche:

- 8 canali totali indipendenti.
- Ogni canale è formato da un amplificatore di front-end e da un discriminatore "leading edge". Il front-end è una catena preamplificatore-shaper CR-RC con un peaking time di 100 ns.
- La soglia è comune a tutti i discriminatori. La baseline teoricamente attesa in uscita al front-end è di 0.5 V ed il segnale ha polarità positiva rispetto alla baseline. La dinamica di uscita attesa per il front-end è tra 0.5 V e 2 V.
- Per polarizzare gli amplificatori di front-end è necessario fornire una corrente variabile tra 100  $\mu A$  e 1 mA entrante nel D.U.T. Per polarizzare i discriminatori è necessario fornire una corrente tra 50  $\mu A$  e 200  $\mu A$  uscente dal D.U.T.
- L'ASIC non dispone di circuito di calibrazione interno ed è progettato per elaborare in ingresso impulsi di corrente il cui integrale varia tra 1 fC e 20 fC. Come uscite, sono disponibili solo le uscite dei discriminatori, che sono uscite CMOS da 2.5 V.
- L'alimentazione del front-end analogico e del discriminatore sono separate sul chip e valgono entrambe 2.5 V.

Discutere un piano per la caratterizzazione dell'ASIC ed il relativo sistema di test.

---

18) (75 PUNTI)  
Discutere il fenomeno del single event-upset nei circuiti digitali e le principali strategie di mitigazione.